



UNIVERSIDADE DA BEIRA INTERIOR
Faculdade de Engenharia

Algoritmos de Sincronização com a Rede – Estudo, Simulação e Implementação Prática

João André Ribeiro Lourenço

Dissertação para obtenção do Grau de Mestre em
Engenharia Electrotécnica e de Computadores
(2º ciclo de estudos)

Orientador: Prof. Doutor Sílvio José Pinto Simões Mariano

Covilhã, Outubro de 2016

Dedicatória

*“A vida é curta,
não pelo tempo que dura,
mas porque desse tempo nos restam poucos momentos para desfrutar-mos.”*

Onde quer que estejas, a ti

I.S.B.

Agradecimentos

Cabe-me neste texto a árdua tarefa de encontrar palavras o suficientemente grandes para descrever o sentimento de gratidão que tenho para com aqueles que nortearam aquele que foi o trabalho por mim desenvolvido ao longo do presente ano. Refiro-me portanto ao Professor Doutor Sílvio Mariano, responsável como orientador científico. A disponibilidade constante face às necessidades, a criação de condições de trabalho de excelência num ambiente laboratorial singular e multidisciplinar, a preocupação e o rigor com que definiu as linhas de orientação foram e são algumas das qualidades ímpares que caracterizaram o seu perfil.

Tenho o gosto de, também eu, me juntar àqueles que, durante o seu percurso académico, tiveram o privilégio de se cruzar com o Eng.º José Pombo. A paixão, empenho e dedicação contagiantes com que trabalha e com que acompanhou o meu trabalho a todo o momento são indiscutíveis. A forma brilhante e humilde como dá a conhecer aquilo que sabe é extraordinariamente apaixonante e enriquecedora, fazendo de si uma referência. Um grande obrigado!

Este trabalho demarca o fim de um grande percurso académico, percurso esse, pautado por desafios constantes, vividos com grande intensidade por mim, e por parte daqueles que, ao meu lado, fizeram questão de marcar presença, nos bons momentos e nos momentos menos bons. Dirijo-me agora àqueles que, mesmo longe fizeram questão de, à sua maneira, estar bem perto. Àqueles com quem me envolvi em projectos com o objectivo fazer nascer e crescer algo positivamente diferente. Àqueles ao lado de quem me bati pelas mais diferentes causas. Àqueles com quem tive o privilégio de trocar um dos bens mais preciosos, o conhecimento. Àqueles com quem tive o prazer de passar os bons momentos académicos. Àqueles... a todos aqueles que considero pessoas singulares e a quem chamo de amigos. A todos eles devo quem sou, o que sou e onde cheguei, a todos eles obrigado!

Por fim, mas não menos importante, não posso deixar de agradecer à minha família. Aos meus pais pelo sacrifício de que dispuseram para que pudesse eu mesmo escolher o meu caminho, caminho que outrora viram escapar-se das suas vidas enquanto jovens, e à confiança contínua nas minhas capacidades e determinação. Aos meus avós e segundos pais, irrepreensíveis na força e energia que transmitem e transmitiam. Aos meus padrinhos e tios e a toda a minha família, um grande obrigado.

Resumo

Ao longo do trabalho desenvolvido estudou-se a arquitectura de quatro dos sistemas de detecção de fase existentes na literatura e que historicamente apresentam um impacto evolutivo nesta área, o sistema Detector de Passagem por Zero (*Zero Cross Detector-ZCD*), o sistema Ciclo de Procura de Fase (*Phase Lock Loop-PLL*), o sistema PLL com Filtro Rejeita Banda (*Notch Filter PLL - NPLL*) e o sistema SOGI-PLL (*Second Order Generalized Integrator-PLL*). Foram analisadas as fragilidades existentes em cada uma das tecnologias estudadas e que serviram de base para que estes algoritmos fossem evoluindo ao longo dos anos, muito em função das necessidades e especificidades encontradas. Procedeu-se ao desenvolvimento matemático de cada um dos algoritmos e, posteriormente, à sua implementação, para simular os perfis de resposta, no programa Matlab®.

Para base de teste dos algoritmos em estudo, fez-se o dimensionamento de uma interface electrónica para aquisição e modulação do sinal de tensão da rede real tendo em conta as necessidades de isolamento e segurança. Fez-se ainda um estudo da arquitectura e funcionamento do microcontrolador em uso e, em função desses parâmetros, desenvolveu-se o código numa linguagem compatível e testaram-se os diferentes algoritmos.

Palavras-chave

Algoritmos de Sincronização com a Rede (Grid Synchronization Algorithms);

Detector de Fase (Phase Detector-PD);

Ciclo de Procura de Fase (*Phase Lock Loop-PLL*);

Integrador de Segunda Ordem (*Second Order Generalized Integrator-SOGI*).

Abstract

Along the development of this work it was possible to look at the architecture of four phase detector processes that can easily be found in literature and which represent the one with the most impact on this field of study, the Zero Cross Detector (ZCD), the Phase Lock Loop (PLL), the PLL with a Notch Filter (NPLL) and the Second Order Generalized Integrator (SOGI-PLL). As new requirements and specifications arose, the study of the weaknesses of each of these architectures allowed for the improvement of the algorithms over time. A mathematical study allowed for the creation of models that could be implemented on Matlab[®] permitting the testing of the algorithms in order to highlight the differences between each of their responses.

To simulate the behavior of the algorithms on an environment closer to the ones they are designed for, an electronic platform capable of acquiring and modulating the grids signal was designed and developed taking into account isolation and security measures. This dissertation also includes a study on the architecture and operation of the microcontroller, the details on programming the device and the testing of the different algorithms in a close to reality environment.

Keywords

Grid Synchronization Algorithms;

Phase Detector (PD);

Phase Lock Loop (PLL);

Second Order Generalized Integrator (SOGI).

Índice

Agradecimentos	i
Dedicatória	i
Resumo	v
Abstract	vii
Índice	ix
Lista de Figuras.....	11
Lista de Tabelas	15
Nomenclatura	17
1. Introdução	21
1.1. Enquadramento	21
1.2. Caracterização da Rede	22
1.2.1. Frequência	22
1.2.2. Valores Eficazes de Tensão.....	22
1.3. Processo de Sincronismo	23
1.4. Distúrbios de rede	23
1.4.1. Distorção harmónica.....	23
1.4.2. Tremulação (<i>Flicker</i>)	24
1.4.3. Cavas ou Subtensões (<i>Sags</i>).....	24
1.4.4. Sobretensões Temporárias (<i>Swells</i>).....	24
1.4.5. Picos Transitórios	24
1.4.6. Interrupções.....	25
1.5. Objectivos e contribuição da dissertação	25
1.6. Visão geral e organização da dissertação	26
2. Algoritmos de Sincronização	27
2.1. Introdução	27

2.2. Métodos de Sincronismo	29
2.3. Detecção da Passagem por Zero	30
2.3.1. Modelo Teórico-Prático	31
2.4. Phase Lock Loop (PLL)	33
2.4.1. Modelo Teórico-Prático	34
2.4.2. Simulação do Algoritmo	37
2.5. PLL- Notch Filter	42
2.5.1. Modelo Teórico-Prático	43
2.5.2. Simulação do Algoritmo	48
2.6. SOGI-PLL	54
2.6.1. Introdução	54
2.6.2. Modelo Teórico-Prático	54
2.6.3. Simulação do Algoritmo	57
3. Resultados Práticos	63
3.1. Montagem Prática	63
3.2. Testes Práticos	70
3.2.1. Ensaio de funcionamento do NPLL	70
3.2.2. Ensaio de funcionamento do SOGI-PLL	73
3.2.3. Análise sumária dos resultados	75
4. Conclusão	77
4.1. Considerações gerais	77
4.2. Considerações específicas	77
4.3. Sugestões de trabalhos futuros	78
Referências bibliográficas	79

Lista de Figuras

FIGURA 2.1 – DIAGRAMA CONVERSOR DE POTÊNCIA E MALHAS DE CONTROLO.	28
FIGURA 2.2 – ORGANOGRAMA COM AS PRINCIPAIS FAMILIAS DE ALGORITMOS DE SINCRONIZAÇÃO EXISTENTES	29
FIGURA 2.3 – ARQUITECTURA TÍPICA DE UM SISTEMA DE DETECÇÃO DE FASE BASEADO NUM ZCD.	30
FIGURA 2.4 – ESQUEMA INDICATIVO DE UM ZCD. A REDE É REPRESENTADA A PARTIR DE UMA FONTE AC IDEAL E UMA FONTE ALEATÓRIA DE RUÍDO.....	31
FIGURA 2.5 – GRÁFICO DEMONSTRATIVO DO PERFIL DE FUNCIONAMENTO DE UM ZCD EM FUNÇÃO DA ENTRADA (EIXO DAS ORDENADAS À ESQUERDA) E DA RESPOSTA DO SISTEMA (EIXO DAS ORDENADAS À DIREITA), NUM PERÍODO DE 50 MS, COM AMPLIAÇÃO GRÁFICA DA ZONA DE INTERESSE, ZONA DE TRANSIÇÃO DO SINAL DE ENTRADA.	32
FIGURA 2.6 – DIAGRAMA BLOCOS DE UM PLL.....	33
FIGURA 2.7 – ARQUITECTURA DE CONTROLO CONSTITUINTE DE UM SISTEMA PLL.....	34
FIGURA 2.8 - SIMULAÇÃO DA RESPOSTA DO SISTEMA PLL A UM SINAL DE REDE COM UMA CAVA DE TENSÃO A 80% DO VALOR DA AMPLITUDE NOMINAL. SIMULAÇÃO DO ERRO E DO DESFASAMENTO ENQUANTO VARIÁVEIS INTERNAS DO SISTEMA.	38
FIGURA 2.9 - SIMULAÇÃO DA RESPOSTA DO SISTEMA PLL A UM SINAL DE REDE COM UM SALTO DE FASE DE 90º. SIMULAÇÃO DO ERRO E DO DESFASAMENTO ENQUANTO VARIÁVEIS INTERNAS DO SISTEMA.	39
FIGURA 2.10 - SIMULAÇÃO DA RESPOSTA DO SISTEMA PLL A UM SINAL DE REDE SUJEITO A UMA HARMÓNICA DE 250 Hz (ENTRE OS 50MS E OS 150 MS) E OUTRO DE 25 Hz (ENTRE OS 200MS E OS 300MS), AMBOS A UM QUINTO DA AMPLITUDE DO SINAL DE ENTRADA. SIMULAÇÃO DO ERRO E DO DESFASAMENTO ENQUANTO VARIÁVEIS INTERNAS DO SISTEMA.	40
FIGURA 2.11 - SIMULAÇÃO DA RESPOSTA DO SISTEMA PLL A UM SINAL DE REDE SUJEITO A UMA ALTERAÇÃO NO VALOR DA FREQUÊNCIA DE 50 Hz PARA 51 Hz . SIMULAÇÃO DO ERRO E DO DESFASAMENTO ENQUANTO VARIÁVEIS INTERNAS DO SISTEMA.	41
FIGURA 2.12 – MALHA DE UM SISTEMA BASEADO NO PLL COM FILTRO REJEITA BANDA.....	42

FIGURA 2.13 – ANÁLISE DA RESPOSTA EM FREQUÊNCIA, MAGNITUDE E FASE, DO FILTRO REJEITA BANDA PARA $\zeta_1 = 1$ E PARA DIFERENTES VALORES DE ζ_2 , VALORES ENTRE 0.1 E 1×10^{-4} , INCLUSIVE.....	45
FIGURA 2.14 - ANÁLISE DA RESPOSTA EM FREQUÊNCIA, MAGNITUDE E FASE, DO FILTRO REJEITA BANDA PARA $\zeta_1 = 0.1$ E PARA DIFERENTES VALORES DE ζ_2 , VALORES ENTRE 1×10^{-2} , E 1×10^{-5} , INCLUSIVE. ...	46
FIGURA 2.15 - ANÁLISE DA RESPOSTA EM FREQUÊNCIA, MAGNITUDE E FASE, DO FILTRO REJEITA BANDA PARA $\zeta_1 = 0.01$ E PARA DIFERENTES VALORES DE ζ_2 , VALORES ENTRE 1×10^{-3} E 1×10^{-6} , INCLUSIVE....	47
FIGURA 2.16 – SIMULAÇÃO DA RESPOSTA DO SISTEMA PLL COM FILTRO REJEITA BANDA (NPLL) A UM SINAL DE REDE COM UMA CAVA DE TENSÃO A 80% DO VALOR DA AMPLITUDE NOMINAL. SIMULAÇÃO DO ERRO, DO DESFASAMENTO ENQUANTO VARIÁVEIS INTERNAS DO SISTEMA.	49
FIGURA 2.17 – SIMULAÇÃO DA RESPOSTA DO SISTEMA PLL COM FILTRO REJEITA BANDA (NPLL) A UM SINAL DE REDE COM UM SALTO DE FASE DE 90º AOS 20MS. SIMULAÇÃO DO ERRO E DO DESFASAMENTO ENQUANTO VARIÁVEIS INTERNAS DO SISTEMA.	50
FIGURA 2.18 – SIMULAÇÃO DA RESPOSTA DO SISTEMA PLL COM UM FILTRO REJEITA BANDA A UM SINAL DE REDE SUJEITO A UMA HARMÓNICA DE 250 Hz (ENTRE OS 50MS E OS 150 MS) E OUTRO DE 25 Hz (ENTRE OS 200MS E OS 300MS), AMBOS A UM QUINTO DA AMPLITUDE DO SINAL DE ENTRADA. SIMULAÇÃO DO ERRO E DO DESFASAMENTO ENQUANTO VARIÁVEIS INTERNAS DO SISTEMA.	51
FIGURA 2.19 – SIMULAÇÃO DA RESPOSTA DO SISTEMA PLL COM FILTRO REJEITA BANDA (NPLL) A UM SINAL DE REDE SUJEITO A UMA ALTERAÇÃO NO VALOR DA FREQUÊNCIA DE 50 Hz PARA 51 Hz . SIMULAÇÃO DO ERRO E DO DESFASAMENTO ENQUANTO VARIÁVEIS INTERNAS DO SISTEMA.....	52
FIGURA 2.20 – MALHA DE UM SOGI-PLL	54
FIGURA 2.21 – RESPOSTA EM FREQUÊNCIA DO SISTEMA QUE TRADUZ O PERFIL DA COMPONENTE α DE UM SOGI, PARA DIFERENTES VALORES DE GANHO K.....	55
FIGURA 2.22 - RESPOSTA EM FREQUÊNCIA DO SISTEMA QUE TRADUZ O PERFIL DA COMPONENTE β DE UM SOGI, PARA DIFERENTES VALORES DE GANHO K.....	56
FIGURA 2.23 - SIMULAÇÃO DA RESPOSTA DO SISTEMA SOGI-PLL A UM SINAL DE REDE COM UMA CAVA DE TENSÃO A 80% DO VALOR DA AMPLITUDE NOMINAL. SIMULAÇÃO DO DESFASAMENTO, DA VARIAÇÃO DA FREQUÊNCIA E DAS COMPONENTES D E Q ENQUANTO VARIÁVEIS INTERNAS DO SISTEMA.	58
FIGURA 2.24 - SIMULAÇÃO DA RESPOSTA DO SISTEMA SOGI-PLL A UM SINAL DE REDE COM UM SALTO DE FASE DE 90º. SIMULAÇÃO DO ERRO E DO DESFASAMENTO ENQUANTO VARIÁVEIS INTERNAS DO SISTEMA.....	59

FIGURA 2.25 - SIMULAÇÃO DA RESPOSTA DO SISTEMA SOGI-PLL A UM SINAL DE REDE SUJEITO A UMA HARMÔNICA DE 250 Hz (ENTRE OS 50MS E OS 150 MS) E OUTRO DE 25 Hz (ENTRE OS 200MS E OS 300MS), AMBOS A UM QUINTO DA AMPLITUDE DO SINAL DE ENTRADA. SIMULAÇÃO DO ERRO E DO DESFASAMENTO ENQUANTO VARIÁVEIS INTERNAS DO SISTEMA.....	60
FIGURA 2.26 - SIMULAÇÃO DA RESPOSTA DO SISTEMA SOGI-PLL A UM SINAL DE REDE SUJEITO A UMA ALTERAÇÃO NO VALOR DA FREQUÊNCIA DE 50 Hz PARA 51 Hz. SIMULAÇÃO DO ERRO E DO DESFASAMENTO ENQUANTO VARIÁVEIS INTERNAS DO SISTEMA.....	61
FIGURA 3.1 – MONTAGEM DO SISTEMA DE TESTE EM AMBIENTE LABORATORIAL. A – ISOLADOR DE LINHA, B – FONTE DE ALIMENTAÇÃO, C – OSCILÓSCOPIO, D – CIRCUITO DE TESTE, E – PONTE DE MEDIÇÃO	63
FIGURA 3.2 – <i>BREADBOARD</i> COM SISTEMA DE TESTE MONTADO. A – MICROCONTROLADOR, B – ADC, C – SENSOR DE TENSÃO, D – DAC, E – RESISTÊNCIA DE POTÊNCIA, F – REGULADORES DE TENSÃO.....	64
FIGURA 3.3 – DIAGRAMA SIMPLIFICADO DE MONTAGEM PRÁTICA.....	65
FIGURA 3.4 - SISTEMA DE AQUISIÇÃO DO SINAL DE TENSÃO DA REDE.....	65
FIGURA 3.5 – DIAGRAMA DE COMUNICAÇÃO ENTRE MICROCONTROLADOR E PERIFÉRICOS.....	68
FIGURA 3.6 – RESPOSTA DO SISTEMA PLL COM FILTRO REJEITA BANDA, LIDA NO OSCILOSCÓPIO, PERANDE O SINAL DE TENSÃO DA REDE DE DISTRIBUIÇÃO DE ENERGIA.....	71
FIGURA 3.7 - RESPOSTA DO SISTEMA PLL COM FILTRO REJEITA BANDA, LIDA NO MATLAB®, PERANDE O SINAL DE TENSÃO DA REDE DE DISTRIBUIÇÃO DE ENERGIA. OBSERVAÇÃO DA VARIAÇÃO INSTANTANEA DO ÂNDULO θ , DO SINAL DE TENSÃO DA REDE DE DISTRIBUIÇÃO DE ENERGIA, DO SINAL DE TENSÃO RESULTANTE DO ALGORITMO DO NPLL E DO ERRO LIDO À SAÍDA DO FILTRO REJEITA BANDA.....	72
FIGURA 3.8 - RESPOSTA DO SISTEMA SOGI-PLL, LIDA NO OSCILOSCÓPIO, PERANDE O SINAL DE TENSÃO DA REDE DE DISTRIBUIÇÃO DE ENERGIA.....	73
FIGURA 3.9 - RESPOSTA DO SISTEMA PLL COM FILTRO REJEITA BANDA, LIDA NO OSCILOSCÓPIO, PERANDE O SINAL DE TENSÃO DA REDE DE DISTRIBUIÇÃO DE ENERGIA.....	74

Lista de Tabelas

TABELA 3.1 - PALAVRAS UTILIZADAS NA COMUNICAÇÃO ENTRE O ADC E O MICROCONTROLADOR.....	67
TABELA 3.2 - <i>STRING</i> COM INFORMAÇÃO ENVIADA PELO MICROCONTROLADOR PARA OS DAC'S. <i>BIT</i> DE CONTROLO (B), ENDEREÇO DO CANAL (E), BITS DE CONTROLO (LZ-LEADING ZEROS)	69
TABELA 3.3 - PALAVRAS UTILIZADAS NA COMUNICAÇÃO ENTRE O DAC E O MICROCONTROLADOR.....	69

Nomenclatura

Acrónimos

ADC	“Analog Digital Converter” - Conversor Digital-Analógico;
AC	“Alternating Current” - Sistema de Corrente ou Tensão Alternada;
DAC	“Digital Analog Converter” - Conversor Analógico-Digital;
DC	“Direct Current” - Sistema de Corrente ou Tensão Contínua;
DHT	Distorção Harmónica Total;
FTMA	Função Transferência de Malha Aberta;
FTMF	Função Transferência de Malha Fechada;
LPF	“Low Pass Filter” - Filtro Passa-Baixo;
LSB	“Less Significant Bit” - Bit Menos Significativo;
MPPT	“Maximum Power Point Tracking” - Procura do Ponto de Máxima Potência;
NF	“Notch Filter” - Filtro Rejeita-Banda;
NP EN	Versão Portuguesa de Norma Europeia;
NPLL	“Notch-PLL” - PLL com Filtro Rejeita-Banda;
PD	“Phase Detector” - Detector de Fase;
PI	Controlador Proporcional Integral;
PLL	“Phase Lock Loop” - Ciclo de Procura de Fase;
PV	“Photovoltaic” - Solar Fotovoltaico;
PWM	“Pulse-With Modulation” - Pulso Modulado;
RDBT	Rede Distribuição de Energia Eléctrica em Baixa Tensão;
RMS	“Root Mean Square” - Valor Eficaz;
SGDE	Sistemas de Geração Distribuída de Energia;
SOGI	“Second Order Generalized Integrator” - Integrador de Segunda Ordem;
SPI	“Serial Peripheral Interface” - Protocolo de Comunicação em Série;
T/C	Tensão/Corrente;
VCO	“Voltage Controlled Oscillator” - Oscilador Controlado por Tensão;
ZCD	“Zero Cross Detector” - Detector de Passagem por Zero;

Expressões Matemáticas

$mod(Y)$	Função Módulo;
\hat{Y}	Valor Estimado.

Simbologia Grega

α e β	Referencial Ortogonal;
ε	Erro;
θ	Ângulo de Fase;
ζ	Coefficiente de Amortecimento.

Geral:

d e q	Referencial Síncrono Girante;
f	Frequência Instantânea;
G	Função Transferência de um Sistema;
H	Função Transferência de um Bloco de <i>Feedback</i> ;
I	Intensidade de Corrente Eléctrica;
K	Ganho;
P	Severidade;
R	Resistência Eléctrica;
S	Representação no Domínio de Laplace;
T	Tensão Eléctrica;
W	Frequência Angular;
X	Saída de um Sistema;
Y	Entrada de um Sistema;
Z	Representação no Domínio Z ou Domínio Discreto.

Com Índices Inferiores

P_{lt}	Severidade de Longa Duração;
P_{st}	Severidade de Curta Duração;
V_{Rd}	Tensão da Rede de Distribuição de Energia Eléctrica;
V_{ZDC}	Tensão à Saída do Sistema de Detecção de Passagem por Zero;
V_{FM}	Tensão à Saída do Filtro de Malha;
K_{PD}	Ganho do detector de Fase;
K_P	Ganho do Controlador Proporcional;
K_I	Ganho do Controlador Integral;
K_{VO}	Ganho do Oscilador;
W_0	Frequência Angular Inicial;
W_n	Frequência Natural;

ε_{PD}	Erro à Saída do Bloco Detector de Fase;
ζ_1 e ζ_2	Parâmetros do Filtro Rejeita Banda;
T_s	Período de Amostragem.

1. Introdução

Neste capítulo introdutório é dado o contexto aos sistemas de sincronização utilizados no processo de injeção de energia na rede de distribuição, nomeadamente ao sistema *Phase Lock Loop* (PLL). São ainda introduzidos os conceitos cujo conhecimento é um imperativo para uma correcta compreensão do trabalho aqui desenvolvido e apresentados os objectivos que lhe serviram como linhas orientadoras.

1.1. Enquadramento

Ao longo dos anos, com o surgimento de novos conceitos de produção de energia, com a melhoria das condições de acesso a estas novas fontes de energia e com o desenvolvimento da tecnologia e do conhecimento, os Sistemas de Geração Distribuída de Energia (SGDE) passaram a fazer parte de uma rede de distribuição de energia que outrora fora idealizada e projectada para servir os consumidores dispersos e, em grande parte, a longas distâncias dos grandes centros de produção energética. Com a integração destes sistemas, a rede de distribuição passou a ser vista de uma outra forma, sendo que além de garantir a potência contratada pelos consumidores, serve também de canal de entrada de energia junto daqueles que além de consumidores se apresentam agora também como fornecedores de energia [1]-[3].

Este conceito apresenta-se como uma mais-valia no contexto do fornecimento de energia eléctrica, uma vez que motiva para uma utilização crescente de fontes de energia renováveis endógenas, promove a eficiência energética ao contribuir para uma diminuição significativa das perdas associadas às longas linhas de transporte e distribuição, e garante um decréscimo da vulnerabilidade do sistema de rede uma vez que contribui para a sua diversificação [4].

Os sistemas de produção, que gradualmente começam a fazer parte dos locais de consumo, são sistemas que, para competirem com a rede e garantir o escoamento total da energia produzida, têm de cumprir uma série de requisitos e normativas por forma a garantir a qualidade de energia na rede de distribuição. Esta garantia é no entanto um grande desafio no qual os sistemas de controlo e de electrónica de potência têm um papel determinante [1]-[3].

As fontes de energia renováveis, assim como os sistemas de armazenamento de energia, ambos à dimensão da microgeração, quando pensados para a ligação à estrutura da rede de

distribuição, utilizam uma interface de ligação que tem por base a aplicação de conversores de potência. Associados a estes conversores surgem os algoritmos de sincronização.

Um dos processos essenciais para a manutenção da qualidade da energia está associado à forma de como é feito o sincronismo para a injeção na rede.

Vários têm sido os algoritmos que têm surgindo para solucionar o problema do sincronismo com a rede tendo na sua maioria por base o algoritmo do sistema *Phase Lock Loop* (PLL) [5]-[7].

1.2. Caracterização da Rede

A rede, do ponto de vista teórico, apresenta-se como uma fonte inesgotável de energia com características de tensão e corrente muito específicas.

1.2.1. Frequência

A frequência da rede relaciona-se com a velocidade de rotação dos geradores associados às grandes centrais e corresponde ao número de ciclos que ocorrem durante um segundo (medida em Hertz). Na Rede de Distribuição de Energia Eléctrica em Baixa Tensão (RDBT) o valor médio da frequência fundamental teórico é de 50 Hz. Segundo a norma EN 50160, medindo o valor médio da frequência fundamental em intervalos de dez segundos, este deve estar compreendido entre os 49,5 e os 50,5 Hz (-1% e +1% de 50 Hz), durante 95% do tempo de medição de uma semana e entre os 47 e os 52 Hz (-6% e +4% de 50 Hz), durante 100% do tempo de medição de uma semana [8].

1.2.2. Valores Eficazes de Tensão

O valor eficaz duma grandeza sinusoidal está relacionado com a quantidade de potência que é aproveitada. Quando uma carga é alimentada por uma tensão alternada, esta vai ser percorrida por uma corrente alternada e o seu valor eficaz é igual ao valor de corrente contínua que atravessando uma carga resistiva, dissipa a mesma potência média.

Segundo a NP EN 50160, não considerando as interrupções, 95% dos valores eficazes médios medidos em períodos de 10 min ao longo de uma semana devem situar-se na gama $U_{n\pm 10\%}$ [8].

1.3. Processo de Sincronismo

O processo de sincronização é o processo através do qual duas ou mais redes são sincronizadas umas com as outras a partir dos seus sinais de tensão. Dois sistemas AC monofásicos encontram-se sincronizados quando dispõem de iguais frequências do sinal de tensão e quando o ângulo de fase entre os dois sinais de tensão é zero [9], [10].

1.4. Distúrbios de rede

As condições de funcionamento da rede de energia são muitas vezes são postas em causa por um grande número de ocorrências. Associadas a estas ocorrências surgem perturbações, mais ou menos graves, que condicionam a qualidade da energia e por sua vez o normal funcionamento ou o tempo de vida útil das cargas [1]. O conhecimento deste tipo de perturbações é um imperativo quando se interage com sistemas de sincronização com a rede, uma vez que a sua presença condiciona a forma como a estrutura de detecção de fase e a estrutura de controlo reagem. A seguir são apresentadas neste âmbito as perturbações mais frequentes e mais significativas [1], [11], [12].

1.4.1. Distorção harmónica

Recorrendo ao teorema de Fourier, todas as funções periódicas podem ser decompostas no somatório da componente da frequência fundamental com todas as componentes de frequências múltiplas da fundamental, ou harmónicas. Uma vez que as funções das tensões e das correntes são periódicas, pode aferir-se que o valor eficaz duma corrente ou duma tensão é dado pela soma do seu valor médio com o somatório de todas as harmónicas.

De acordo com a NP EN50160 a Distorção Harmónica Total (DHT) deverá ser abaixo de 8%, 5% para a 3ª harmónica, 6% para a 5ª harmónica, 5% para a 7ª harmónica, 1.5% para a 9ª, 19ª, 23ª e 25ª harmónicas, 3.5% para a 11ª harmónica, 3% para a 13ª harmónica, 0.5% para a 15ª e 21ª harmónicas e 2% para a 17ª harmónica [8].

1.4.2. Tremulação (*Flicker*)

A tremulação representa a flutuação do valor da tensão, modulado em amplitude por um sinal com frequências que não são múltiplos inteiros da frequência fundamental e da ordem dos 0 a 30 Hz e com amplitudes de 80 a 90% do valor da tensão nominal.

Conforme a NP EN 50160, para qualquer período de uma semana, a severidade de longa duração (P_{lt}) deve ser inferior a 1 durante 95% do tempo, e determina-se da seguinte forma [8], [11], [13]:

$$P_{lt} = \sqrt[3]{\sum_{t=1}^N \frac{P_{st}^3}{N}} \quad (1)$$

Em que P_{st} é a severidade da tremulação de curta duração medida num período de 10 min.

1.4.3. Cavas ou Subtensões (*Sags*)

As cavas de tensão resultam de um decréscimo temporário do valor de tensão e caracterizam-se por ser de curta duração quando ocorrem em períodos entre os dez milissegundos e um minuto ou de longa duração quando ocorrem em períodos de tempo superiores a um minuto. Classificam-se ainda quanto à sua gravidade em ligeiras, quando a redução da amplitude para valores entre os 80% e os 90% do valor nominal, ou graves, quando existe uma redução da amplitude para valores entre os 10% e os 80% do valor nominal [8], [11], [13].

1.4.4. Sobretensões Temporárias (*Swells*)

Ao aumento temporário do valor eficaz da tensão pode chamar-se pico de tensão, quando de curta duração, ou sobretensão quando a duração é superior a alguns segundos [8], [11], [13].

1.4.5. Picos Transitórios

Pico transitório é a denominação atribuída às variações rápidas (na ordem dos microssegundos a poucos milissegundos) do valor da tensão, distinguindo-se dois tipos os picos transitórios impulsivos e os picos transitórios oscilatórios. Os primeiros, tipicamente causados por descargas atmosféricas, caracterizam-se pelas alterações repentinas das condições de regime permanente da tensão, com o surgimento de impulsos unidireccionais em polaridade. Os segundos diferem na origem e no tipo de impulsos envolvidos, originados a partir de

operações de comutação, com a geração de impulsos de polaridade positiva e negativa [8], [11], [13].

1.4.6. Interrupções

Uma interrupção total no fornecimento de energia classifica-se de interrupção de curta duração quando ocorre em períodos que vão desde alguns milissegundos até um ou dois segundos, e classifica-se de interrupção de longa duração quando ocorre num período superior a dois segundos [8], [11], [13].

1.5. Objectivos e contribuição da dissertação

Hoje mais do que nunca o sector eléctrico começa a ser visto como um sistema necessariamente dinâmico, ao nível daquele que é o desenvolvimento tecnológico e social, e ao nível daquelas que são as suas necessidades e constrangimentos impostos no presente e previstos para o futuro.

Esta dissertação tem como objectivo o estudo e compreensão, quer sob o ponto de vista teórico, quer sob o ponto de vista prático, dos processos de sincronismo através dos quais os SGDE's se ligam à rede de energia. Pretende-se ainda uma comparação entre os perfis de resposta teóricos e práticos dos diferentes algoritmos em estudo, sendo necessário para isso o desenvolvimento de uma interface prática de ligação à rede para aquisição das características do sinal de tensão da mesma.

1.6. Visão geral e organização da dissertação

A dissertação encontra-se essencialmente dividida em quatro capítulos.

No Capítulo 1 - Introdução - é feito primeiramente o enquadramento do tema, seguindo-se-lhe uma breve abordagem a algumas das características da rede de distribuição de energia eléctrica, ao que se entende por sincronismo e a alguns dos distúrbios de rede mais frequentes em situações reais.

No Capítulo 2 - Algoritmos de Sincronização - fase da dissertação na qual são analisadas algumas das tipologias de algoritmos de sincronização existentes sob o ponto de vista teórico e matemático, e onde os algoritmos são reproduzidos e testados computacionalmente.

No capítulo 3 - Resultados Práticos - encontra-se esquematizada toda a componente prático-laboratorial desenvolvida para teste dos algoritmos em condições reais, e os resultados de alguns dos testes efectuados.

No capítulo 4 - Conclusão - é onde é feita uma retrospectiva relativa aos resultados e conclusões obtidas durante o desenvolvimento da dissertação.

2. Algoritmos de Sincronização

Neste capítulo é feita uma revisão bibliográfica relativa a alguns dos métodos de detecção de fase e sincronização existentes. Os mesmos métodos são depois analisados sob o ponto de vista matemático e do controlo e por fim os algoritmos são recriados no programa Matlab®, para análise da sua performance. Durante os testes de performance, para os diferentes algoritmos e para que se possa fazer uma correcta comparação dos resultados, as variáveis internas de cada um dos sistemas, quando perante subsistemas comuns, são conservadas ao longo dos testes realizados.

2.1. Introdução

As redes de distribuição de energia eléctrica são sistemas que existem associados a um elevado nível de complexidade e dinamismo relacionados com eventos ou perturbações a que se encontram sujeitos, como é o caso da ligação e desconexão de cargas, ressonâncias resultantes da condução de harmónicas de corrente pelas linhas, descargas atmosféricas, entre outros [1].

Com o disseminar dos Sistemas de Geração Distribuída de Energia (SGDE), o conhecimento contínuo, rápido e preciso do estado da rede passou a ser determinante para a ligação destes sistemas à rede, de forma segura, garantindo a qualidade da energia entregue, ou seja, o cumprimento das demais normativas existentes, bem como a satisfação do produtor e do consumidor [2].

O conhecimento de grandezas como o ângulo de fase, a amplitude e a frequência da tensão da rede é um imperativo para garantir uma correcta geração dos sinais de referência, em consequência, para o bom funcionamento e desempenho dos conversores de potência conectados à rede, sendo que a energia entregue à rede possa ser feita com um factor de potência unitário e dentro das normas de segurança vigentes [6], [14], [15].

Quando enquadrado num sistema de conversão de potência, como é o caso de um sistema de conversão PV, o algoritmo PLL proporciona a fase do sinal de tensão a ser utilizado na malha de controlo DC-AC [2]-[7], [16].

Um sistema de detecção de fase ou frequência tem tipicamente um enquadramento idêntico ao descrito na figura 2.1 [3], [7], [17].

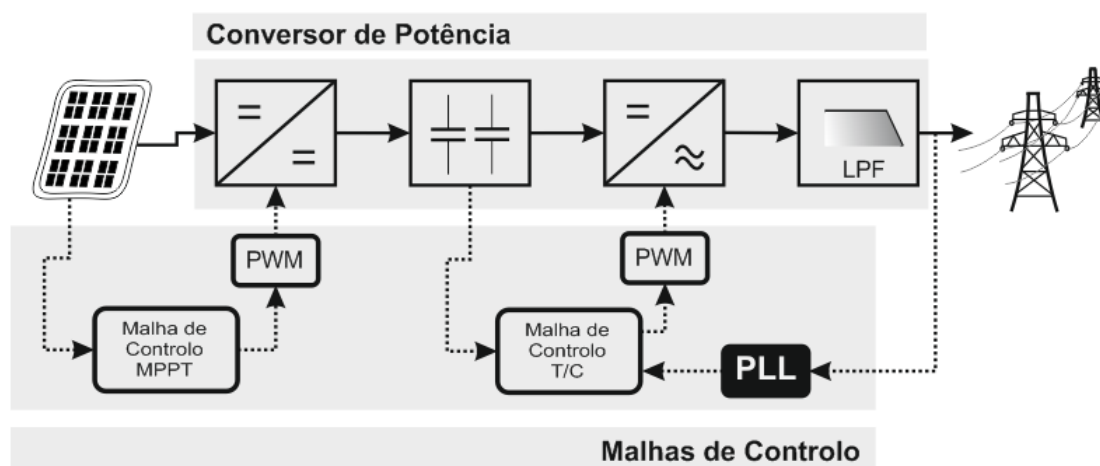


Figura 2.1 - Diagrama conversor de potência e malhas de controle.

2.2. Métodos de Sincronismo

Os métodos de sincronização podem classificar-se em dois tipos, os métodos baseados no sistema PLL e os métodos não baseados nesse sistema. Os primeiros englobam todos os sistemas que integram a lógica do PLL e os segundos os sistemas que a põem de lado, conforme demonstrado na figura seguinte [2], [6], [14], [16].

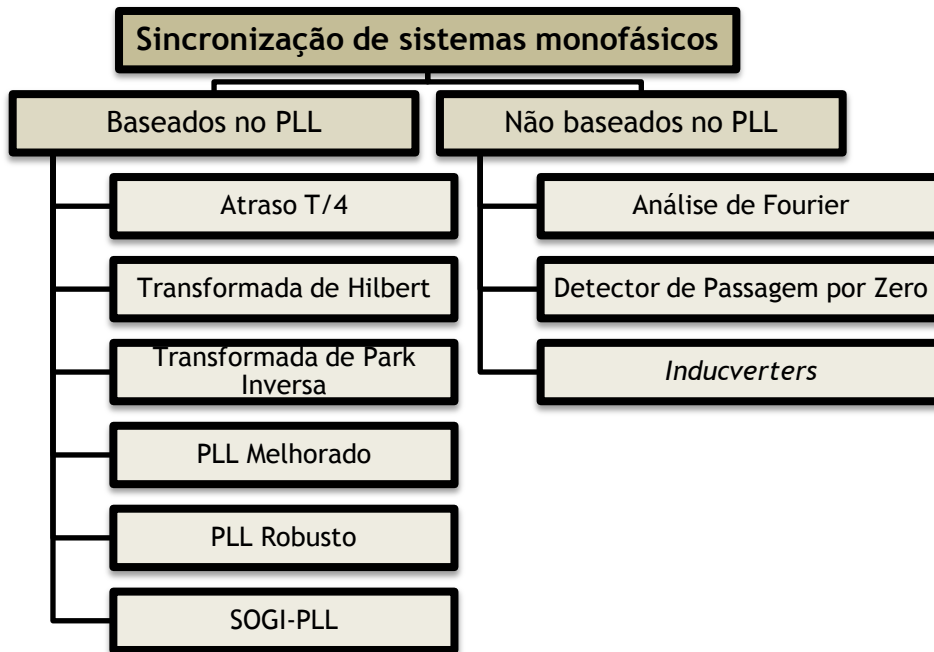


Figura 2.2 - Organograma com as principais famílias de algoritmos de sincronização existentes

Um método de sincronismo deve reunir em si características como [16]:

- Robustez em termos de ruído e perante interferências transitórias ou estáticas;
- Capacidade de resposta face a variações da amplitude de tensão;
- Performance de precisão face a variações da frequência da rede;
- Filtros de elevada performance face à distorção harmónica;
- Simplicidade *analógica/digital* e em termos do *hardware/software* utilizado.

2.3. Detecção da Passagem por Zero

Conhecido na literatura como *Zero Cross Detector* (ZCD), este sistema é um método relativamente simples e baseia-se na detecção da transição de negativo para positivo de um sinal e vice-versa, originando um impulso que coincide com o nível zero do respectivo sinal.

Quando utilizado na rede de distribuição, o sistema apresenta uma arquitectura de base semelhante à representada na figura 2.3, a partir da qual é possível adquirir a fase e, a partir da integração desta, a frequência do sinal de tensão [14], [12].

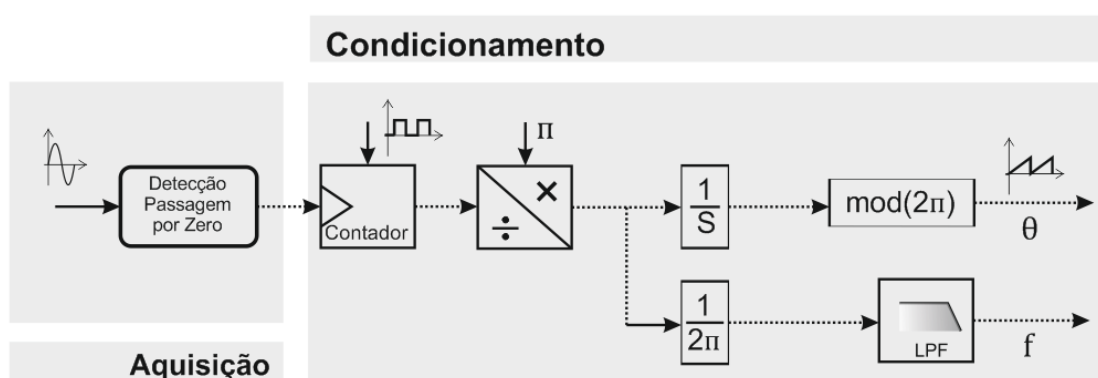


Figura 2.3 - Arquitectura típica de um sistema de detecção de fase baseado num ZCD.

Este processo tem associadas no entanto algumas desvantagens, sendo que a detecção da passagem por zero do sinal de tensão apenas ocorre uma vez a cada meio ciclo, excluindo a capacidade do sistema actuar dentro desse intervalo, o que coloca em causa a performance do sistema de monitorização [14]. Para fazer face a esta incapacidade foram propostos alguns modelos em que esta detecção deixa de ser feita apenas à passagem por zero e é estendida a outros níveis de tensão [14]. Esta solução introduz no entanto maior complexidade no sistema.

Outra característica menos favorável à utilização deste método prende-se ainda com o facto de o sinal a analisar, forma de onda da tensão da rede, estar sujeito a ruído e a uma distorção característica das cargas conectadas à rede, e ainda a harmónicas de baixa frequência que corrompem o funcionamento de um ZCD convencional [12]. Para esta problemática a solução mais evidente passaria pela pré-filtragem do sinal, no entanto a utilização de filtros está associada a latências que não são toleradas para a finalidade pretendida. Neste sentido foram desenvolvidas soluções que passam pela utilização de técnicas avançadas de filtragem conforme [14].

Várias têm sido as soluções propostas dentro desta tecnologia, como é o caso do recurso a sistemas de redes neurais, mas estas soluções acrescentam maior complexidade a um sistema que inicialmente se destaca pela sua simplicidade, não garantindo à *posteriori* um processo de monitorização que se baseie nos chavões da idealidade, a rapidez e a precisão, fundamentais para o propósito pretendido [12], [14], [15].

2.3.1. Modelo Teórico-Prático

O processo de detecção da passagem por zero, para um sistema de rede, pode ser simulado a partir de um circuito idêntico ao da figura 2.3, onde a rede é monitorizada a partir de um comparador que, para um ciclo positivo de rede, coloca à sua saída um valor lógico de tensão 1 e para valores de tensão negativos coloca à sua saída o valor lógico de tensão 0.

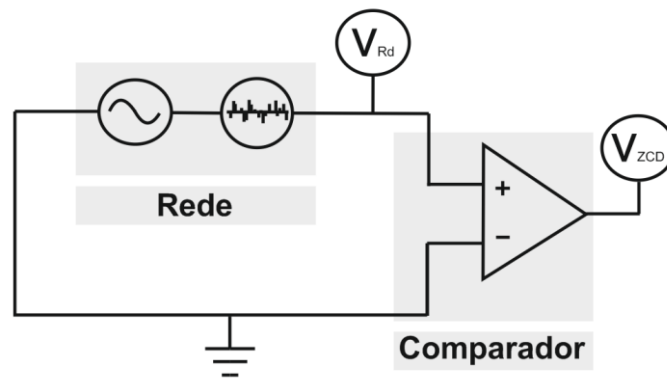


Figura 2.4 - Esquema indicativo de um ZCD. A rede é representada a partir de uma fonte AC ideal e uma fonte aleatória de ruído.

O circuito foi testado a partir do programa PSIM, sendo que ao sinal sinusoidal ideal, com uma amplitude $\sqrt{2} \times 230 \text{ V}$ e uma frequência de 50 Hz, foi adicionada uma componente aleatória com uma amplitude de 20V.

Com o resultado da simulação, nas condições acima referidas, foi traçado o gráfico da figura 2.5.

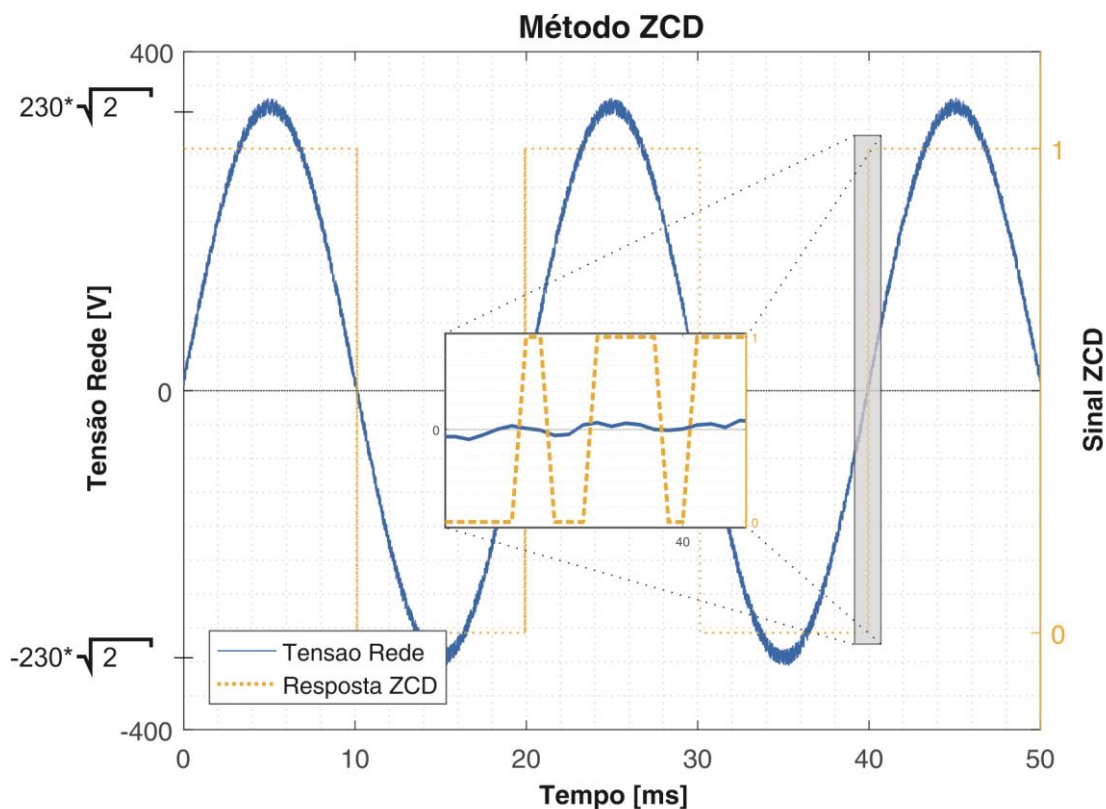


Figura 2.5 - Gráfico demonstrativo do perfil de funcionamento de um ZCD em função da entrada (eixo das ordenadas à esquerda) e da resposta do sistema (eixo das ordenadas à direita), num período de 50 ms, com ampliação gráfica da zona de interesse, zona de transição do sinal de entrada.

Analisando a resposta do sistema verifica-se que o ruído adicionado ao sinal de tensão de entrada, representativo do ruído típico de um sinal de tensão de uma RDBT, faz com que o sistema apresente uma resposta deficiente nos períodos de transição do sinal.

2.4. Phase Lock Loop (PLL)

Desde há muitos anos usado em diversos campos da tecnologia, como no caso das telecomunicações onde se encontram estudos que datam dos anos 40, o PLL, do inglês *Phase Lock Loop*, é um algoritmo de detecção de fase em torno do qual tem havido um interesse crescente no seu desenvolvimento com vista à aplicação em sistemas de monitorização de redes de distribuição de energia eléctrica. Quando aplicado a conversores de potência, este algoritmo tem apresentado um desempenho que se destaca positivamente de outros sistemas concebidos com o mesmo propósito.

Tipicamente o algoritmo PLL apresenta uma estrutura básica assente em três blocos, um detector de fase, um filtro de malha e um oscilador conforme apresentado na figura 2.6 [2], [5]-[7], [15], [17].

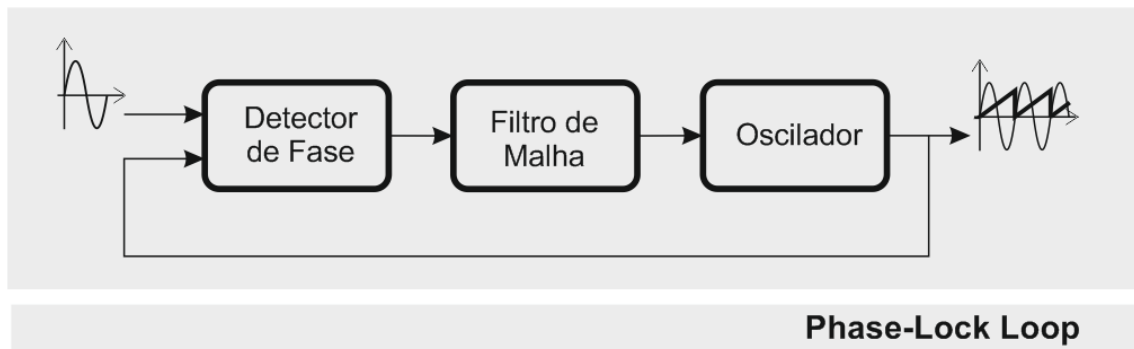


Figura 2.6 - Diagrama blocos de um PLL

- O primeiro bloco, bloco detector de fase (*Phase Detector* - PD), é o ponto a partir do qual o sinal a analisar é comparado com o sinal de saída do sistema e, a partir dessa comparação, é gerado um erro proporcional à diferença de fase entre os dois sinais. Esta comparação pode ser feita a partir de vários processos sendo que o mais simples passa por multiplicar os dois sinais referidos [6],[17].
- O filtro de malha (*Notch Filter* - NF) passa pelo enquadramento de um filtro passa baixo no sistema por forma a filtrar as harmónicas resultantes do produto entre o sinal de entrada (sinal a analisar) e o sinal de saída, resultando desta filtragem apenas o erro de fase [6],[17].
- O bloco oscilador (*Voltage Controlled Oscillator* - VCO) coloca à sua saída um sinal AC, periódico, cuja frequência traduz a informação vinda do filtro de malha [6],[17].

2.4.1. Modelo Teórico-Prático

A estrutura do PLL, em termos dos blocos característicos que o compõem, pode ser implementada a partir de diferentes tecnologias. Tomando por base a arquitectura típica de um PLL linear, obtém-se o seguinte diagrama (Figura 2.7) [5]-[7], [15], [17] onde a detecção de fase é feita a partir de um multiplicador e o filtro de malha é obtido a partir de um controlador PI.

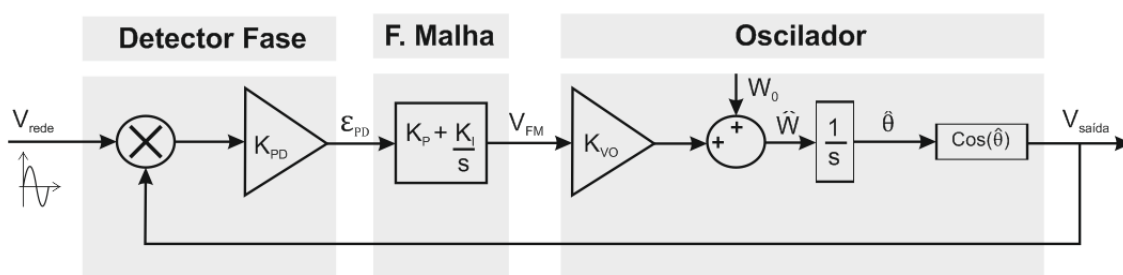


Figura 2.7 - Arquitectura de controlo constituinte de um sistema PLL

A partir da função transferência característica de um sistema de malha fechada, vem que:

$$\frac{Y(s)}{X(s)} = \frac{G(s)}{1 + G(s) \cdot H(s)} \quad (2)$$

Tendo por base a análise do sistema PLL e os blocos de controlo que o compõem, podemos definir a função transferência de malha aberta (FTMA) do sistema da figura 2.7 como:

$$G(s) = K_{PD} \cdot \left(K_P + \frac{K_I}{s} \right) \cdot \left(K_{VO} \cdot \frac{1}{s} \right) \quad (3)$$

$$= \frac{K_{PD} \cdot K_{VO} \cdot K_P}{s} + \frac{K_{PD} \cdot K_I \cdot K_{VO}}{s^2}$$

$$= \frac{(K_{PD} \cdot K_{VO} \cdot K_P)s + K_{PD} \cdot K_I \cdot K_{VO}}{s^2} \quad (4)$$

Para apurar a resposta do sistema é então necessário determinar a sua função transferência de malha fechada:

$$\frac{Y(s)}{X(s)} = \frac{\frac{(K_{PD} \cdot K_{VO} \cdot K_P)s + K_{PD} \cdot K_I \cdot K_{VO}}{s^2}}{1 + \frac{(K_{PD} \cdot K_{VO} \cdot K_P)s + K_{PD} \cdot K_I \cdot K_{VO}}{s^2}} \quad (5)$$

$$\begin{aligned} &= \frac{\frac{(K_{PD} \cdot K_{VO} \cdot K_P)s + K_{PD} \cdot K_I \cdot K_{VO}}{s^2}}{\frac{s^2 + (K_{PD} \cdot K_{VO} \cdot K_P)s + K_{PD} \cdot K_I \cdot K_{VO}}{s^2}} \\ &= \frac{(K_{PD} \cdot K_{VO} \cdot K_P)s + K_{PD} \cdot K_I \cdot K_{VO}}{s^2 + (K_{PD} \cdot K_{VO} \cdot K_P)s + K_{PD} \cdot K_I \cdot K_{VO}} \quad (6) \end{aligned}$$

Simplificando a equação agrupando os respectivos ganhos podemos escrever:

$$(K_{PD} \cdot K_{VO} \cdot K_P) \rightarrow K_{P1} \quad (7)$$

$$(K_{PD} \cdot K_{VO} \cdot K_I) \rightarrow K_{I1} \quad (8)$$

$$= \frac{(K_{P1})s + K_{I1}}{s^2 + (K_{P1})s + K_{I1}} \quad (9)$$

Comparando a FTMF (equação (8)) com a função transferência genérica para um sistema de segunda ordem (equação (9)), vem que:

$$\frac{(2 \cdot \zeta \cdot W_n)s + W_n^2}{s^2 + (2 \cdot \zeta \cdot W_n)s + W_n^2} \quad (10)$$

$$W_n = \sqrt{K_{I1}} \quad \zeta = \frac{K_{P1}}{2 \cdot \sqrt{K_{I1}}} \quad T_s = -\frac{\ln(\text{tolerância} \cdot \sqrt{1 - \zeta^2})}{\zeta \cdot W_n} \quad (11)$$

Uma vez que existe a necessidade de avaliar o sistema sob o ponto de vista da sua aplicação prática, nomeadamente para o desenvolvimento do código do programa necessário para a execução do algoritmo, é necessário converter cada um dos blocos do sistema apresentado pela equação (2), em subsistemas discretos. Para este efeito existem diversos tipos de aproximação, sendo que a aproximação utilizada será a do tipo trapesoidal (equação(12)).

$$s \rightarrow \frac{2}{T} \cdot \frac{Z-1}{Z+1} \quad (12)$$

A partir da equação característica do bloco PI, reescrevendo na forma discreta, pode escrever-se:

$$H_{PI}(s) = K_p + \frac{K_I}{s} \Leftrightarrow H_{PI}(s) = \frac{K_p \cdot s + K_I}{s} \quad (13)$$

$$H_{PI}(z) = \frac{K_p \cdot \left(\frac{2}{T} \cdot \frac{Z-1}{Z+1}\right) + K_I}{\left(\frac{2}{T} \cdot \frac{Z-1}{Z+1}\right)} \Leftrightarrow H_{PI}(z) = \frac{K_p \cdot \left(\frac{2}{T} \cdot \frac{Z-1}{Z+1}\right) + K_I}{\left(\frac{2}{T} \cdot \frac{Z-1}{Z+1}\right)} \quad (14)$$

Dividindo $H_{PI}(z)$ por Z ,

$$\begin{aligned} \frac{Y(Z)}{X(Z)} &= \frac{\frac{(2 \cdot K_p + K_I \cdot T) \cdot Z}{2 \cdot Z} + \frac{(K_I \cdot T - 2 \cdot K_p)}{2 \cdot Z}}{\frac{(Z-1)}{Z}} \\ &= \frac{\frac{(2 \cdot K_p + K_I \cdot T)}{2} + \frac{(K_I \cdot T - 2 \cdot K_p) \cdot Z^{-1}}{2}}{(1 - Z^{-1})} \end{aligned} \quad (15)$$

$$Y(z) = \frac{X(Z) \cdot (2 \cdot K_p + K_I \cdot T) + X(Z) \cdot (K_I \cdot T - 2 \cdot K_p) \cdot Z^{-1}}{2} + 2 \cdot Y(z) \cdot Z^{-1} \quad (16)$$

De igual forma, discretizando o integrador associado ao bloco do oscilador vem que:

$$\begin{aligned} H_I(Z) &= \frac{1}{S} \Big|_{\frac{2Z-1}{T Z+1}} \\ Y(Z) &= \frac{(X(Z) + X(Z) \cdot Z^{-1}) \cdot T}{Z} + Y(Z) \cdot Z^{-1} \end{aligned} \quad (17)$$

2.4.2. Simulação do Algoritmo

Com os sistemas matematicamente definidos no domínio contínuo e discreto foi então possível a programação do algoritmo em Matlab® e posteriormente em linguagem C para aplicação física.

Recorrendo ao programa Matlab®, depois de concebido o algoritmo a partir do qual fosse possível a realização de testes para o sistema PLL, foram criados diferentes cenários de rede onde o sinal de tensão de referência foi sujeito a diferentes tipos de perturbações.

De entre os cenários de perturbações possíveis, seleccionaram-se aqueles que pelas suas particularidades mais condicionam o processo de detecção da fase, entre os quais, os saltos de fase, a contaminação com harmónicas e as flutuações em torno dos valores de tensão. Foi ainda efectuada a mesma simulação para um sinal de tensão com cavas de tensão.

Para cada um dos casos anteriormente enunciados foi traçado um conjunto de gráficos que traduzem as variáveis de entrada e saída do sistema em estudo num período de 300ms. Primeiro é apresentado um gráfico onde consta o sinal de entrada do sistema perturbado e o sinal de referência sem a perturbação. Segue-se a representação de uma das variáveis mais importantes para o estudo do algoritmo, o erro ε_{PD} , a variação do ângulo de tensão apurado, ângulo θ e, por fim, o cosseno de θ que representa o sinal de tensão apurado que contrasta, no mesmo gráfico, com os primeiros dois sinais referidos (sinal de entrada perturbado e referência).

Para um sinal de tensão com a presença de cavas de tensão tem-se, para cada um dos parâmetros de análise referidos, a seguinte resposta:

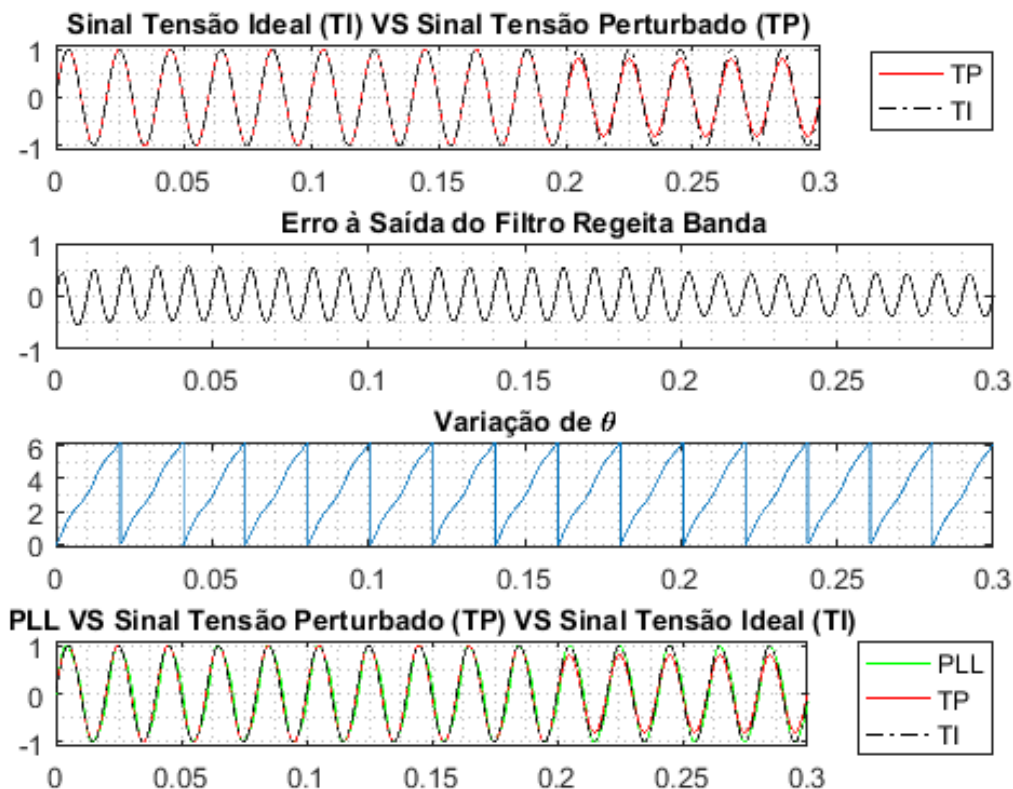


Figura 2.8 - Simulação da resposta do sistema PLL a um sinal de rede com uma cava de tensão a 80% do valor da amplitude nominal. Simulação do erro e do desfasamento enquanto variáveis internas do sistema.

Verifica-se através da análise aos dados apresentados na figura 2.8 que, uma perturbação do tipo cava de tensão não induz, por si só, um efeito semelhante na saída do sistema. A amplitude do sinal reconstruído a partir do PLL mantém-se, independentemente da existência deste tipo de perturbações. A variação na amplitude do erro, após a inserção da perturbação no sinal de tensão de entrada, é consequência apenas da relação relativa entre o erro e o sinal de entrada.

Para um sinal de tensão sujeito a um salto de fase tem-se, para cada um dos parâmetros de análise referidos, a seguinte resposta:

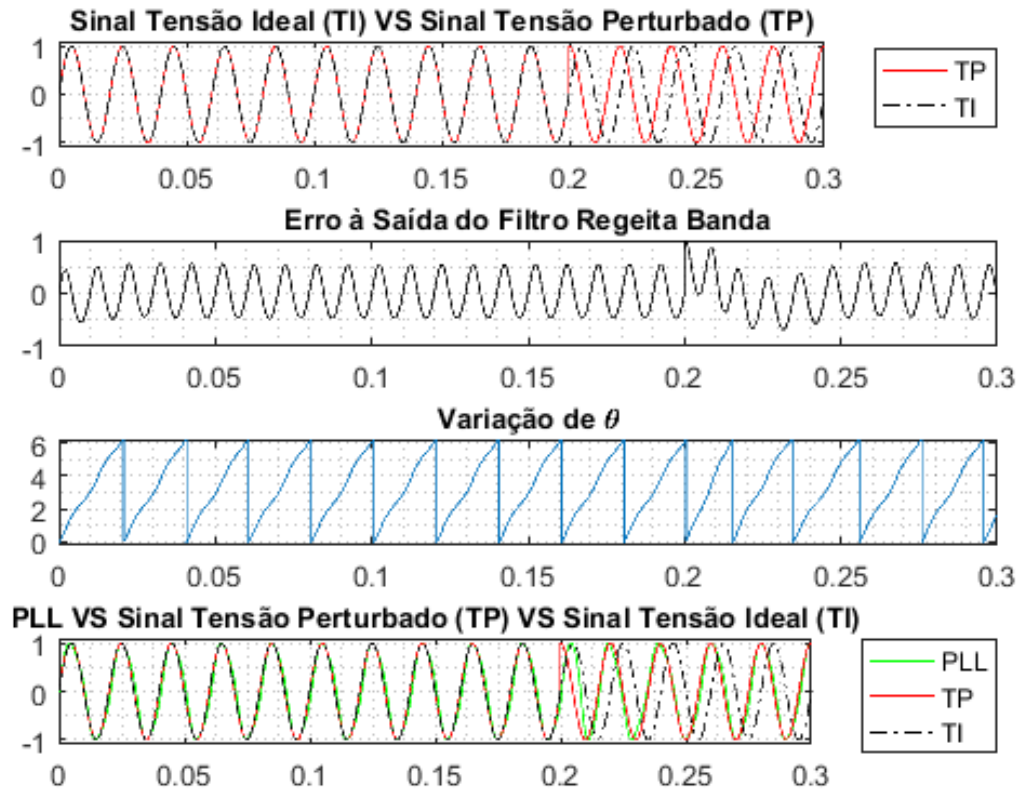


Figura 2.9 - Simulação da resposta do sistema PLL a um sinal de rede com um salto de fase de 90° . Simulação do erro e do desfasamento enquanto variáveis internas do sistema.

Analisando os dados apresentados na figura 2.9 verifica-se que a um salto de fase sucede-se uma perda momentânea de sincronismo pelo sistema, identificável pelo surgimento de um pico de erro aos 200 ms e por uma alteração no padrão de fase no mesmo instante. Esta perda é depois recuperada em pouco mais de dois ciclos (± 40 ms), período a partir do qual o sistema retoma o seu estado de equilíbrio.

Para um sinal de tensão sujeito a harmônicas tem-se, para cada um dos parâmetros de análise referidos, a seguinte resposta:

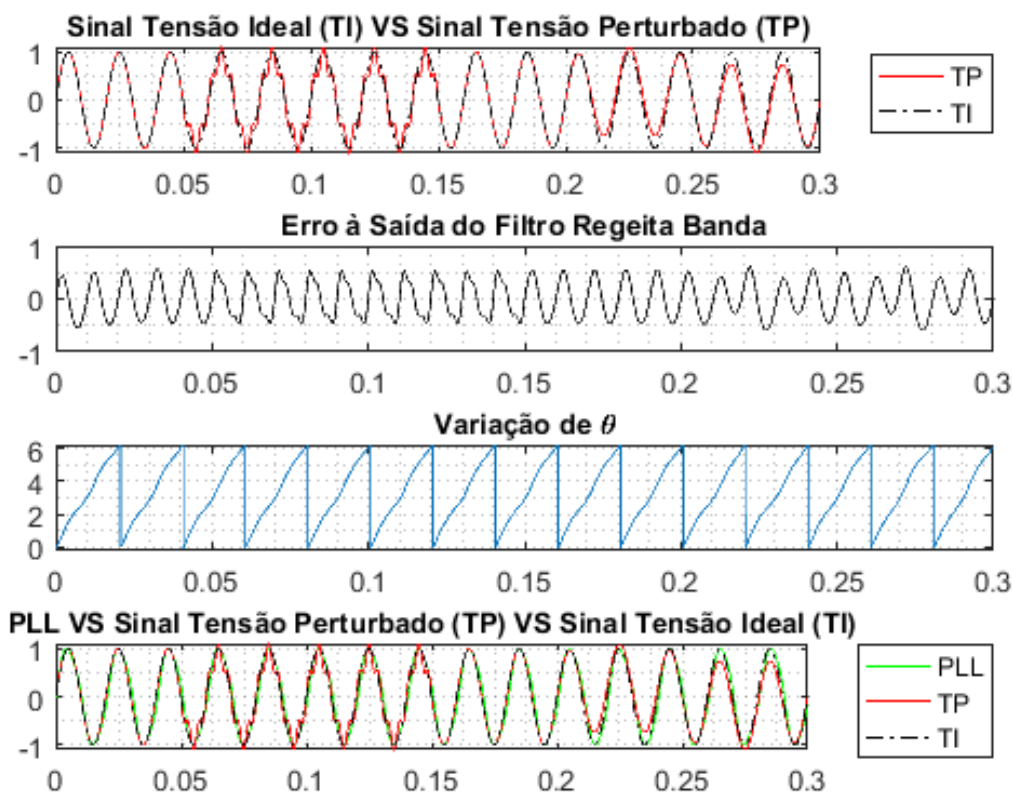


Figura 2.10 - Simulação da resposta do sistema PLL a um sinal de rede sujeito a uma harmônica de 250 Hz (entre os 50ms e os 150 ms) e outro de 25 Hz (entre os 200ms e os 300ms), ambos a um quinto da amplitude do sinal de entrada. Simulação do erro e do desfasamento enquanto variáveis internas do sistema.

Quando adicionada uma harmônica de 250 Hz ao sinal de tensão de referência do sistema, verifica-se uma mudança no padrão do erro. O sistema inicialmente em estado estacionário, sofre uma alteração no padrão da fase, ainda que pouco significativa. Já para baixas frequências o sistema perde o sincronismo e deixa de ter a capacidade para anular o erro cuja amplitude é tanto maior quanto maior for a amplitude da harmônica de baixa frequência.

Para um sinal de tensão sujeito a uma alteração no valor da frequência tem-se, para cada um dos parâmetros de análise referidos, a seguinte resposta:

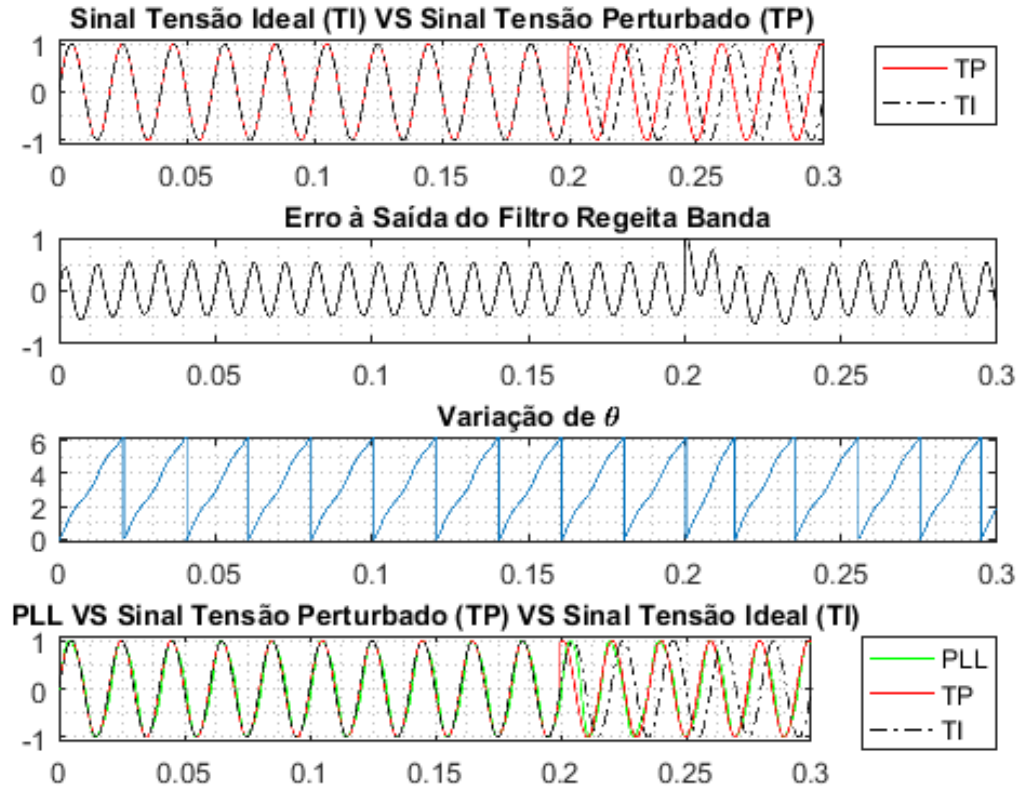


Figura 2.11 - Simulação da resposta do sistema PLL a um sinal de rede sujeito a uma alteração no valor da frequência de 50 Hz para 51 Hz . Simulação do erro e do desfasamento enquanto variáveis internas do sistema.

Com a adição de 1 Hz ao valor da frequência o sincronismo do sistema é perdido. O sistema reage no entanto à perturbação imposta e, passados menos de 50ms, a nova frequência é sincronizada passando a servir como nova referência.

2.4.2.1. Conclusões

Como verificado nas quatro situações estudadas a resposta deste algoritmo surge sempre associada a uma componente harmónica cuja frequência é igual ao dobro da frequência do sinal de tensão de referência. Esta componente, teoricamente de 100 Hz, é originada no processo de detecção de fase, no bloco do detector de fase, e reflecte-se directamente na resposta do sistema. Este problema sugere portanto a aplicação de um filtro à saída do bloco do detector de fase e é essa aplicação que será estudada no subcapítulo seguinte.

2.5. PLL- Notch Filter

Para anular a componente harmónica com uma frequência próxima dos 100 Hz originada no bloco responsável pela detecção de fase, é então necessária a adição de um filtro. Uma vez que o controlador PI, enquadrado no bloco do filtro passa baixo, já configura por si só um filtro passa baixo e não se apresenta como uma solução quando perante gamas de harmónicas próximas da frequência de interesse, é necessário o recurso a outra tecnologia, os filtros rejeita banda. Adicionando esta tipologia de filtro à estrutura convencional de um PLL, obtém-se a seguinte configuração [7], [17], [18].

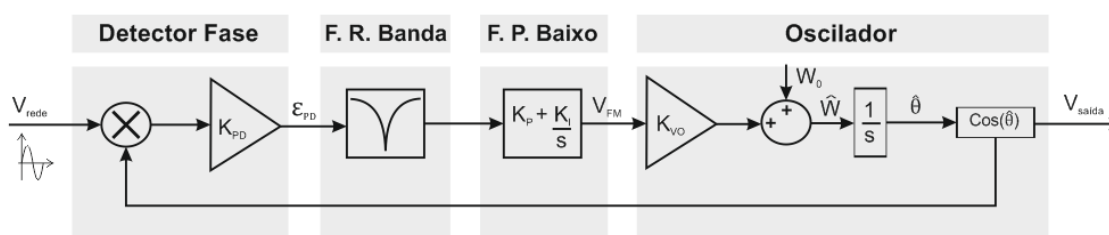


Figura 2.12 - Malha de um sistema baseado no PLL com filtro rejeita banda

Este filtro terá então de ser dimensionado por forma a activar uma banda de corte que abranja a gama dos 100 Hz, gama essa que reflecte o dobro da frequência do sinal de tensão visto à entrada do sistema. Uma vez que a frequência do sinal de entrada indesejavelmente oscila entre valores muito próximos do seu valor teórico (dos 50 Hz), é necessário que a banda de corte se dilate com a margem necessária à anulação de outras flutuações. Neste contexto é ainda necessário ter em conta o atraso na resposta do filtro que deverá ser dimensionado para o seu mínimo por forma a evitar que estes atrasos se repercutam no restante sistema.

2.5.1. Modelo Teórico-Prático

Um filtro rejeita banda típico pode ser matematicamente representado a partir da função 18.

$$H_{nf}(s) = \frac{s^2 + (2 \cdot \zeta_2 \cdot W_n)s + W_n^2}{s^2 + (2 \cdot \zeta_1 \cdot W_n)s + W_n^2}, \quad \zeta_2 \ll \zeta_1 \quad (18)$$

Discretizando a função característica de um filtro rejeita banda recorrendo ao método de aproximação trapezoidal (equação (11)), vem que:

$$\frac{Y(z)}{X(z)} = \frac{\frac{4 \cdot (Z^2 - 2Z + 1)}{T^2 \cdot (Z^2 + 2Z + 1)} + \frac{4 \cdot \zeta_2 \cdot W_n \cdot Z - 4 \cdot \zeta_2 \cdot W_n + W_n^2}{TZ + T}}{\frac{4 \cdot (Z^2 - 2Z + 1)}{T^2 \cdot (Z^2 + 2Z + 1)} + \frac{4 \cdot \zeta_1 \cdot W_n \cdot Z - 4 \cdot \zeta_1 \cdot W_n + W_n^2}{TZ + T}} \quad (19)$$

$$= \frac{Z^3 \cdot (4 + 4 \cdot \zeta_2 \cdot W_n \cdot T + W_n^2 \cdot T^2) + Z^2 \cdot (-4 + 4 \cdot \zeta_2 \cdot W_n \cdot T + 3 \cdot W_n^2 \cdot T^2) + \dots}{Z^3 \cdot (4 + 4 \cdot \zeta_1 \cdot W_n \cdot T + W_n^2 \cdot T^2) + Z^2 \cdot (-4 + 4 \cdot \zeta_1 \cdot W_n \cdot T + 3 \cdot W_n^2 \cdot T^2) + \dots} \\ \dots \frac{+ Z \cdot (-4 - 4 \cdot \zeta_2 \cdot W_n \cdot T + 3 \cdot W_n^2 \cdot T^2) + 4 - 4 \cdot \zeta_2 \cdot W_n \cdot T + W_n^2 \cdot T^2}{+ Z \cdot (-4 - 4 \cdot \zeta_1 \cdot W_n \cdot T + 3 \cdot W_n^2 \cdot T^2) + 4 - 4 \cdot \zeta_1 \cdot W_n \cdot T + W_n^2 \cdot T^2}$$

Dividindo por Z^3 , obtêm-se a equação que traduz a resposta discreta de um sistema PLL com um filtro rejeita banda, equação 19.

$$\begin{aligned}
 Y(Z) &= \\
 &= \frac{(4 + 4 \cdot \zeta_2 \cdot W_n \cdot T + W_n^2 \cdot T^2) \cdot X(Z) + (-4 + 4 \cdot \zeta_2 \cdot W_n \cdot T + 3 \cdot W_n^2 \cdot T^2) \cdot X(Z - 1)}{(4 + 4 \cdot \zeta_1 \cdot W_n \cdot T + W_n^2 \cdot T^2)} \\
 &+ \frac{(-4 - 4 \cdot \zeta_2 \cdot W_n \cdot T + 3 \cdot W_n^2 \cdot T^2) \cdot X(Z - 2) + (4 - 4 \cdot \zeta_2 \cdot W_n \cdot T + W_n^2 \cdot T^2) \cdot X(Z - 3)}{(4 + 4 \cdot \zeta_1 \cdot W_n \cdot T + W_n^2 \cdot T^2)} \\
 &- \frac{(-4 + 4 \cdot \zeta_1 \cdot W_n \cdot T + 3 \cdot W_n^2 \cdot T^2) \cdot Y(Z - 1) + (-4 - 4 \cdot \zeta_1 \cdot W_n \cdot T + 3 \cdot W_n^2 \cdot T^2) \cdot Y(Z - 2)}{(4 + 4 \cdot \zeta_1 \cdot W_n \cdot T + W_n^2 \cdot T^2)} \quad (20) \\
 &- \frac{(4 - 4 \cdot \zeta_1 \cdot W_n \cdot T + W_n^2 \cdot T^2) \cdot Y(Z - 3)}{(4 + 4 \cdot \zeta_1 \cdot W_n \cdot T + W_n^2 \cdot T^2)}
 \end{aligned}$$

Determinada a equação importa agora dimensionar os seus parâmetros, ζ_1 e ζ_2 , por forma a garantir a melhor resposta possível do filtro. Para verificar o impacte destas duas variáveis traçaram-se as respostas em frequência (diagramas de Bode) do sistema, a partir do programa Matlab®, para diferentes valores de ζ_1 e ζ_2 , tendo em conta que $\zeta_2 \ll \zeta_1$.

Para avaliação da performance do filtro em estudo, face às especificações da aplicação pretendida e em termos de amplitude, foi valorizado o ganho na banda de corte (em torno dos 100 Hz) e a ausência de atenuação (ou mesmo existente, quase desprezível) em torno da frequência dos 50 Hz, inclusive. Avaliando a resposta em frequência sob o ponto de vista do comportamento da fase, procurou-se um sistema para o qual o atraso da sua resposta, quando perante um sinal com a frequência de interesse, fosse mínimo.

Na análise importa ainda ter em mente que os valores para as frequências de interesse (50 Hz e 100 Hz) não são ideais nem fixos, sendo que ligeiras variações no valor da frequência principal do sinal de entrada devem ser tidas em conta.

Das simulações efectuadas para diferentes ζ_1 e ζ_2 , seleccionaram-se três exemplos com diferentes padrões de resposta.

A figura 2.13 representa o dimensionamento de um filtro rejeita banda com um perfil desadequado de funcionamento relativamente àquelas que são as especificidades requeridas.

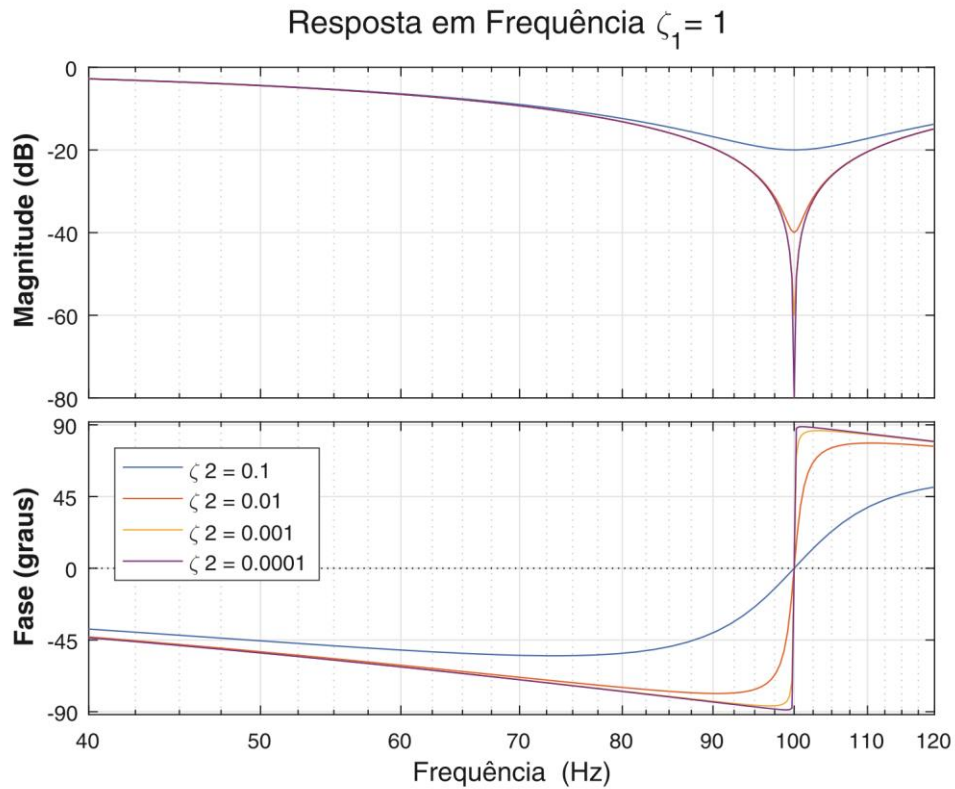


Figura 2.13 - Análise da resposta em frequência, magnitude e fase, do filtro rejeita banda para

$\zeta_1 = 1$ e para diferentes valores de ζ_2 , valores entre 0.1 e 1×10^{-4} , inclusive.

Para o caso anterior, em termos da resposta em amplitude, obtêm-se ganhos que vão desde os -20dB para $\zeta_2 = 0.1$, até 80dB para $\zeta_2 = 1 \times 10^{-4}$, ambos para uma frequência de 100 Hz. Para uma frequência de 50 Hz o ganho é idêntico e superior a -4dB em qualquer um dos casos.

Analisando sob o ponto de vista da fase, para um sinal de entrada com uma componente de 50 Hz, o atraso na saída para a mesma componente é superior a 45° para qualquer um dos casos, sendo que este vai aumentando à medida que se diminui ζ_2 .

Dimensionando o filtro para $\zeta_1 = 0.1$ e, fazendo corresponder ζ_2 na mesma relação que nos testes anteriores, obtiveram-se os resultados da figura 2.14.

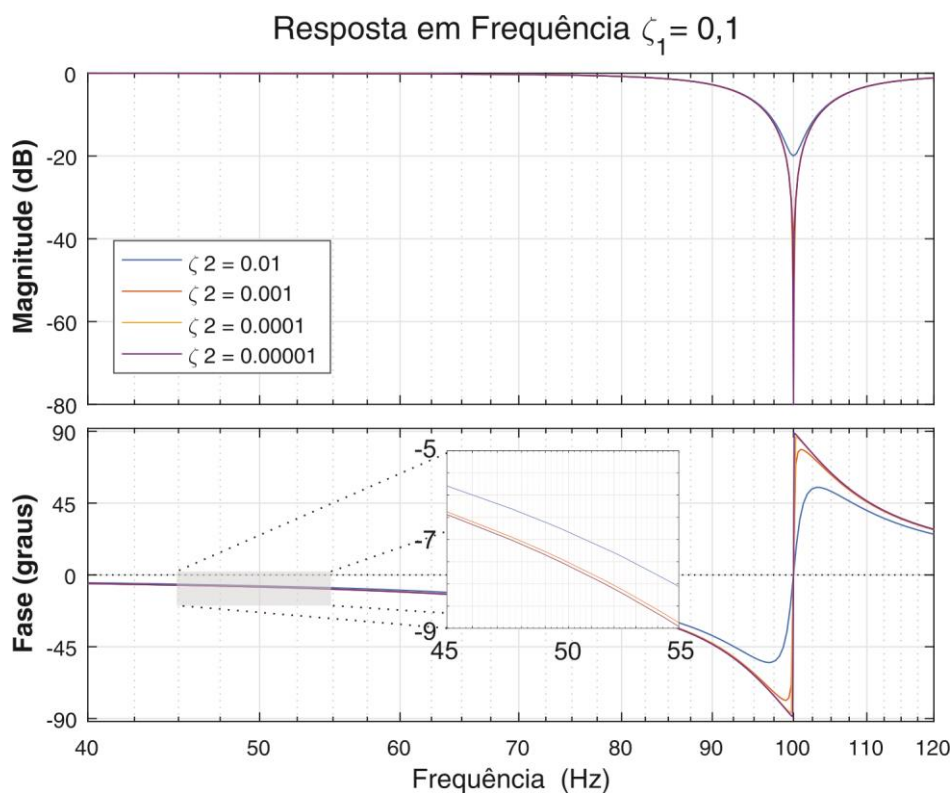


Figura 2.14 - Análise da resposta em frequência, magnitude e fase, do filtro rejeita banda para $\zeta_1 = 0.1$ e para diferentes valores de ζ_2 , valores entre 1×10^{-2} , e 1×10^{-5} , inclusive.

Analisando as respostas para os novos casos pode verificar-se de imediato que, em termos de amplitude e relativamente aos testes efectuados para $\zeta_1=1$ (figura (2.13)), existe uma banda de rejeição bastante mais reduzida sendo que os valores de ganho para cada uma das situações, para sinais com uma frequência de 100 Hz, se mantêm. Já para as componentes de 50 Hz a atenuação é agora inferior a 0.08dB não apresentando uma variação significativa com a variação de ζ_2 .

Avaliando a resposta do filtro em termos da sua fase, o atraso para componentes de 50 Hz é agora inferior a 8° para qualquer que seja o valor de ζ_2 .

Repetindo uma vez mais o teste anterior agora para $\zeta_1 = 0.01$, as tendências referidas mantêm-se, sendo que em termos de amplitude, para componentes de 50 Hz, a atenuação é agora na ordem das milésimas. Relativamente ao atraso de fase, para as mesmas componentes, é agora inferior a um grau conforme se pode verificar através da análise do gráfico da figura 2.15.

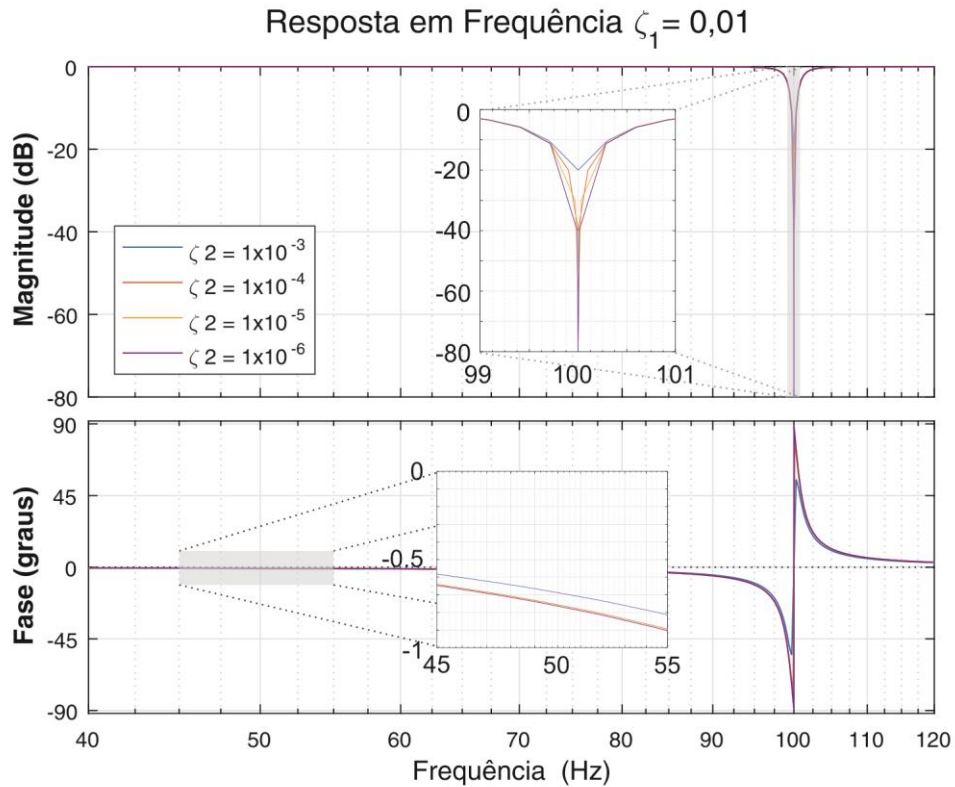


Figura 2.15 - Análise da resposta em frequência, magnitude e fase, do filtro rejeita banda para $\zeta_1 = 0.01$ e para diferentes valores de ζ_2 , valores entre 1×10^{-3} e 1×10^{-6} , inclusive.

2.5.2. Simulação do Algoritmo

Fazendo uso do estudo efectuado neste subcapítulo, tal como no subcapítulo anterior e recorrendo ao programa Matlab[®], procedeu-se à simulação teórica do sistema dimensionado para diferentes cenários de sinal de rede. Foram analisados quatro cenários de rede, um em que se forçou a ocorrência de uma cava de tensão, um em que se provocou uma perturbação na fase do sinal, outro em que se corrompeu o sinal de entrada com a adição de uma harmónica e por fim um caso em que se provocou um desvio no valor da frequência do sinal de entrada.

Para cada um dos cenários em análise foi traçado o sinal de entrada no sistema, o sinal teórico de entrada (sinusóide pura, com uma frequência de 50 Hz), o erro resultante do bloco detector de fase depois de removida a frequência interferente de 100 Hz (a partir do filtro rejeita banda), a variação do ângulo de fase, ângulo teta e, por fim, o sinal reconstruído pelo sistema em oposição ao sinal de entrada e ao sinal teoricamente ideal.

Para um sinal de tensão com a presença de cavas de tensão tem-se, para cada um dos parâmetros de análise referidos, a seguinte resposta:

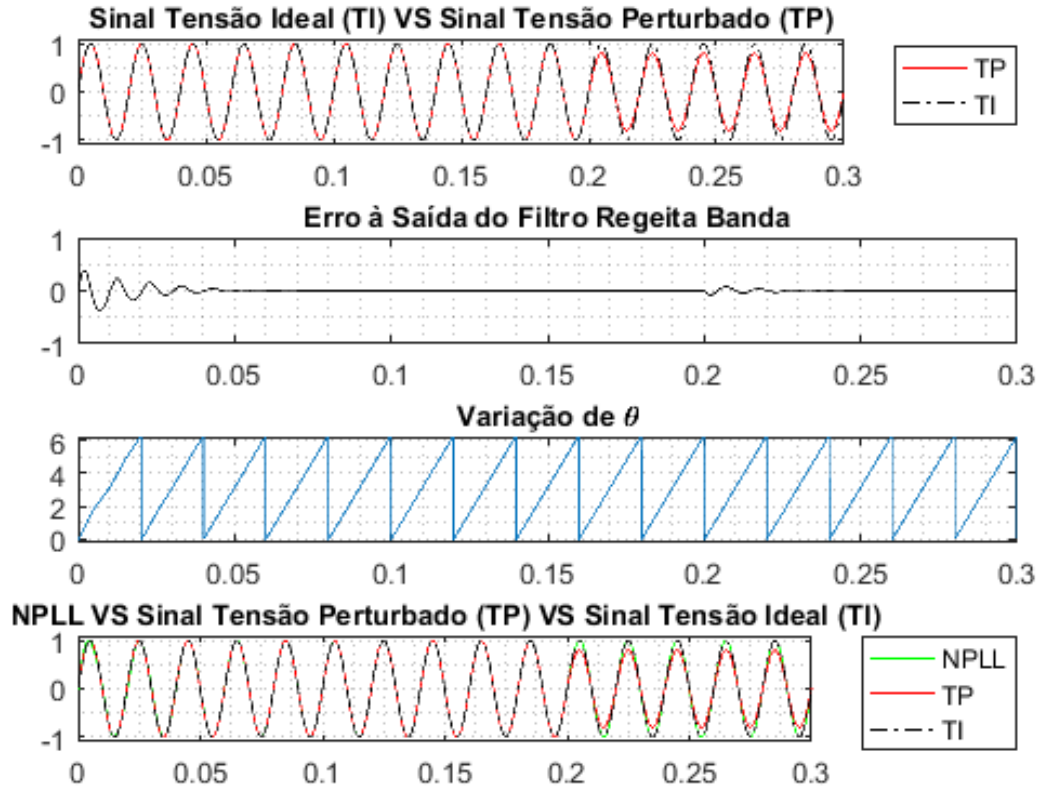


Figura 2.16 - Simulação da resposta do sistema PLL com filtro rejeita banda (NPLL) a um sinal de rede com uma cava de tensão a 80% do valor da amplitude nominal. Simulação do erro, do desfasamento enquanto variáveis internas do sistema.

As simulações foram efectuadas durante um período de 300ms, sendo que ao instante 0 corresponde à activação do sistema e os primeiros instantes à adaptação do sistema ao sinal de entrada.

Relativamente à simulação apresentada na figura 2.16, com resultados semelhantes aos do sistema do PLL simples, verifica-se que uma perturbação do tipo cava de tensão origina uma variação, quase insignificante, do valor do erro. Essa variação é no entanto compensada pelo sistema em menos de 50ms. A amplitude do sinal reconstruído a partir do PLL mantém-se, independentemente da existência deste tipo de perturbações.

Para um sinal de tensão sujeito a um salto de fase tem-se, para cada um dos parâmetros de análise referidos, a seguinte resposta:

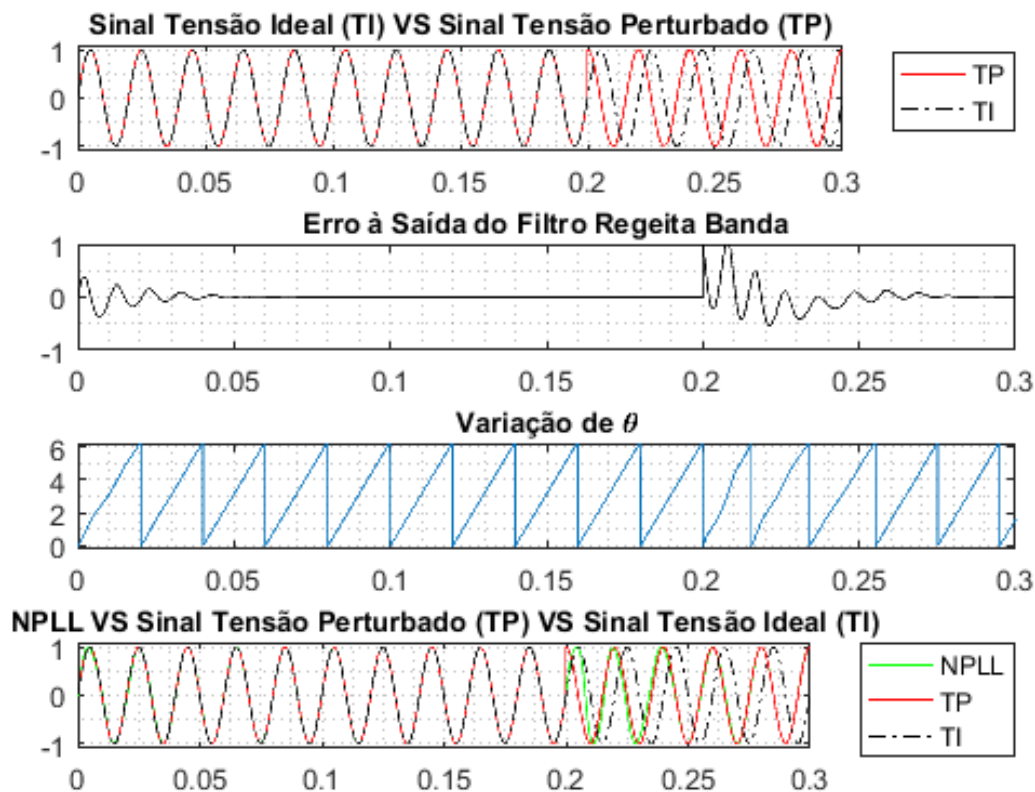


Figura 2.17 - Simulação da resposta do sistema PLL com filtro rejeita banda (NPLL) a um sinal de rede com um salto de fase de 90° aos 20ms. Simulação do erro e do desfasamento enquanto variáveis internas do sistema.

A um distúrbio que origine um salto de fase no sinal de entrada do sistema, o sistema reage favoravelmente, alcançando o ponto de estabilidade em menos de 100ms após a ocorrência do distúrbio, período após o qual o erro é desprezível.

Quando ao sinal de entrada do sistema em estudo se adicionam harmônicas a resposta do sistema tende a aproximar-se daquela que é apresentada na figura abaixo.

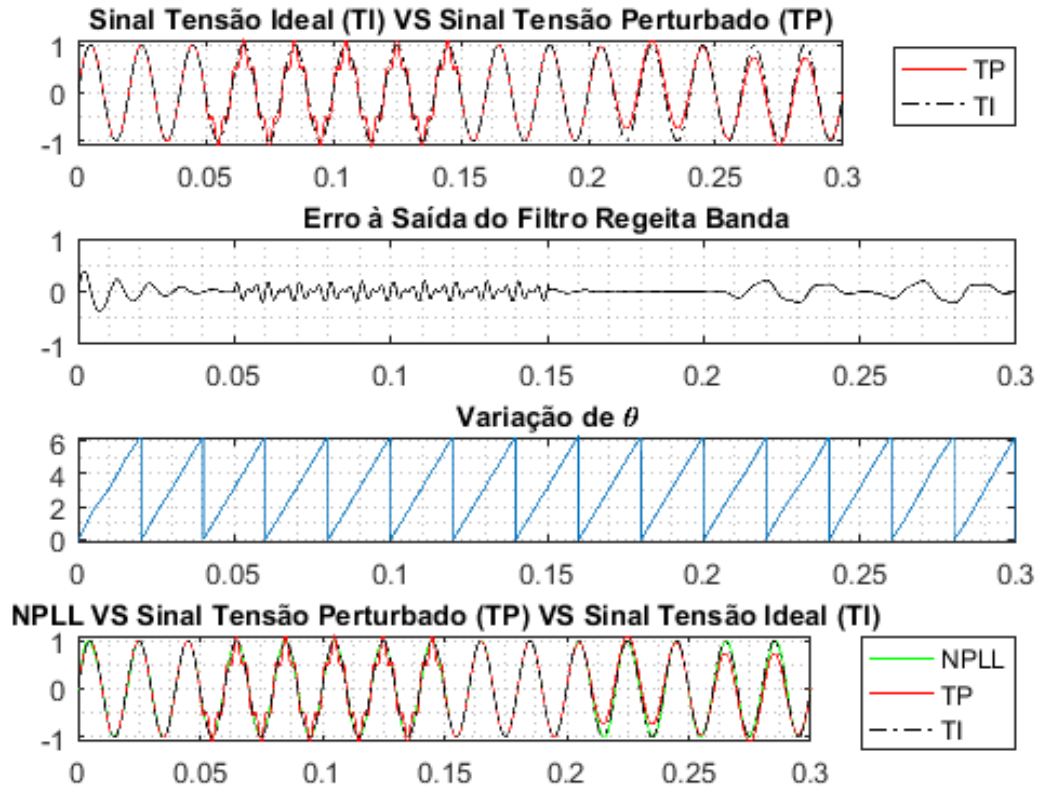


Figura 2.18 - Simulação da resposta do sistema PLL com um filtro rejeita banda a um sinal de rede sujeito a uma harmônica de 250 Hz (entre os 50ms e os 150 ms) e outro de 25 Hz (entre os 200ms e os 300ms), ambos a um quinto da amplitude do sinal de entrada. Simulação do erro e do desfasamento enquanto variáveis internas do sistema.

A existência de harmônicas com frequências superiores àquela que é a frequência do sinal de entrada não tem uma repercussão visível na fase do sistema, contudo originam frequências interferentes, duplicadas à saída do detector de fase e que vão contaminar a resposta, tanto mais quanto a frequência em causa apresentar um valor mais próximo dos 50 Hz, colocando-se assim fora da zona de acção do filtro passa-baixo (banda de rejeição) dimensionado dentro do bloco do filtro de malha. A variação do erro a partir dos 200ms, originada pela injeção de harmônicas de baixa frequência, é previsível uma vez que o sistema em estudo não detém a capacidade de filtrar harmônicas com frequências inferiores à frequência fundamental, teoricamente 50 Hz.

Por fim, simulando uma alteração no valor da frequência do sinal de entrada o sistema apresentará um comportamento semelhante ao apresentado na figura abaixo.

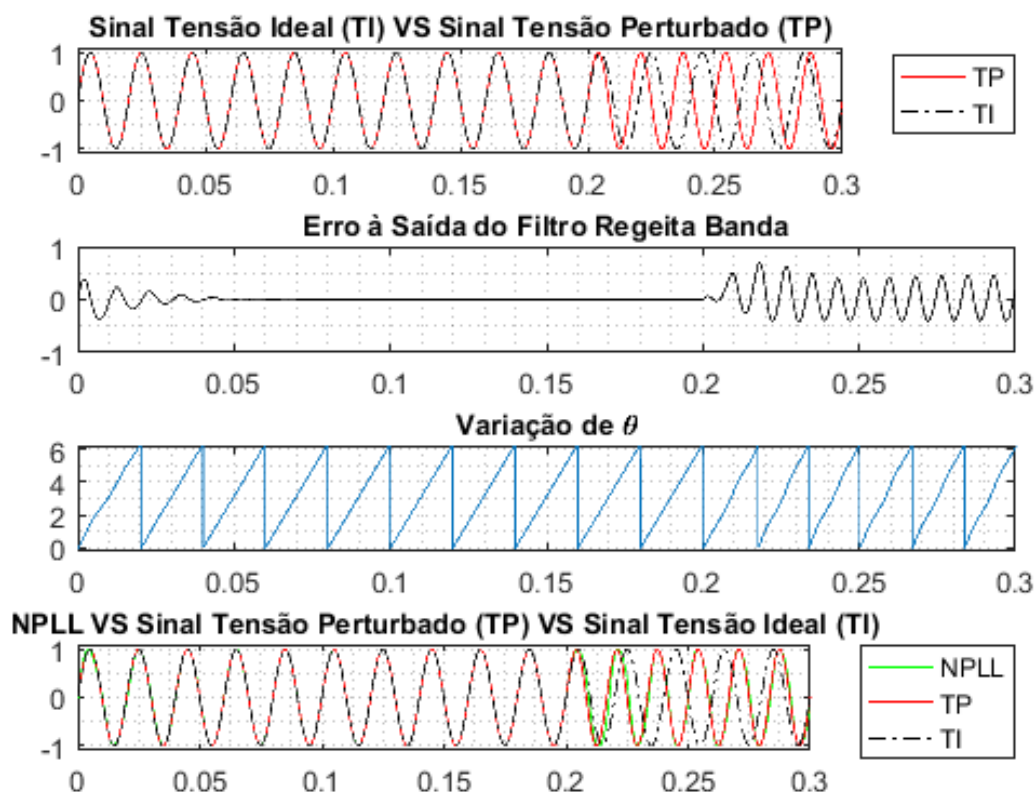


Figura 2.19 - Simulação da resposta do sistema PLL com filtro rejeita banda (NPLL) a um sinal de rede sujeito a uma alteração no valor da frequência de 50 Hz para 51 Hz . Simulação do erro e do desfasamento enquanto variáveis internas do sistema.

Uma perturbação no valor da frequência do sinal de entrada tem incidência directa no valor do erro, na fase do sinal de saída e no seu perfil e frequência. Face à perturbação induzida, o sistema recupera a fase em menos de 100ms, moldando o sinal de saída à frequência do sinal de entrada. O desvio do valor da frequência nominal provoca, à saída do detector de fase, tal como no exemplo anterior, o surgimento de uma componente interferente com o dobro da frequência do sinal de entrada, que irá permanecer no sinal reproduzido até que a frequência do sinal de entrada retome ao seu valor original.

2.5.2.1. Conclusões

Analizadas as quatro simulações efectuadas verifica-se que a componente harmónica de 100 Hz, apresentada nos resultados obtidos para o PLL simples e que condiciona o sincronismo ao contaminar a fase do sistema, foi anulada. A introdução de um filtro rejeita banda no sistema do PLL veio contrariar este efeito embora ainda não se apresente como uma solução suficiente conforme pode ser observado a partir dos resultados do gráfico da figura 2.19. Neste gráfico pode observar-se que perante uma pequena variação da frequência fundamental, de 50 Hz para 51 Hz, a capacidade de acção do filtro rejeita banda é praticamente anulada. Esta anulação deve-se ao facto de o filtro rejeita banda ter uma banda de rejeição estreita, condição necessária pela qual foi seleccionado para este efeito. Este problema sugere portanto a utilização de um filtro rejeita banda adaptativo [18], [19] que, ao conciliar a vantagem de possuir uma estreita banda de rejeição de elevado ganho com a capacidade de permutar instantaneamente a sua frequência central de corte em função das necessidades desse instante, reúne as condições para fazer face aos constrangimentos encontrados.

2.6. SOGI-PLL

2.6.1. Introdução

Actualmente a estrutura de um sistema PLL baseada num *Second Order Generalized Integrator (SOGI)*, apresenta-se como uma das mais promissoras no processo de monitorização da tensão da rede [14]. Esta topologia, além da simplicidade põe de lado os típicos problemas com o processo de filtragem [6], [7], [15], [16].

A estrutura típica de um SOGI-PLL pode ser representada conforme a figura abaixo [17].

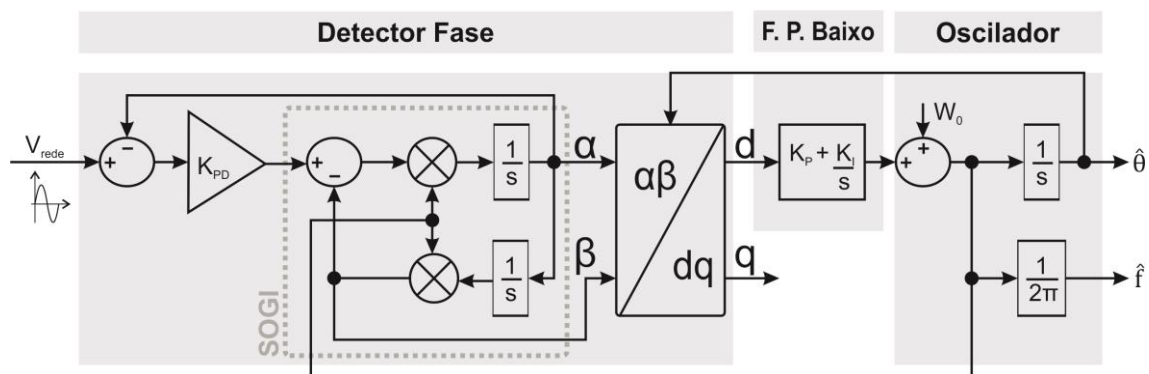


Figura 2.20 - Malha de um SOGI-PLL

Este método apresenta-se como uma solução para a detecção da fase e frequência para um sistema de tensão não balanceada e sujeito a variações ao nível do seu valor de frequência, actuando como um filtro passa banda de ganho infinito [6][14][17].

2.6.2. Modelo Teórico-Prático

O modelo de um SOGI, integrado no sistema de detecção de fase, pode ser definido a partir da função transferência seguinte [6], [17]:

$$H(s) = \frac{W_n \cdot s}{s^2 + W_n^2} \quad (21)$$

As funções transferência expressas em função das saídas que dão origem ao sistema ortogonal são dadas pelas seguintes equações [7], [17]:

$$H_{\alpha}(s) = \frac{K \cdot W_n \cdot s}{s^2 + K \cdot W_n \cdot s + W_n^2} \quad (22)$$

$$H_{\beta}(s) = \frac{K \cdot W_n^2}{s^2 + K \cdot W_n \cdot s + W_n^2} \quad (23)$$

As funções transferência de segunda ordem, descritas pelas equações (21) e (22), sugerem o comportamento de um filtro passa banda e passa baixo, respectivamente, e conseqüentemente a capacidade de rejeição de harmônicas, característica deste tipo de filtros.

Analisando a resposta em frequência para a função (21) tem-se, para diferentes valores de K, os seguintes resultados:

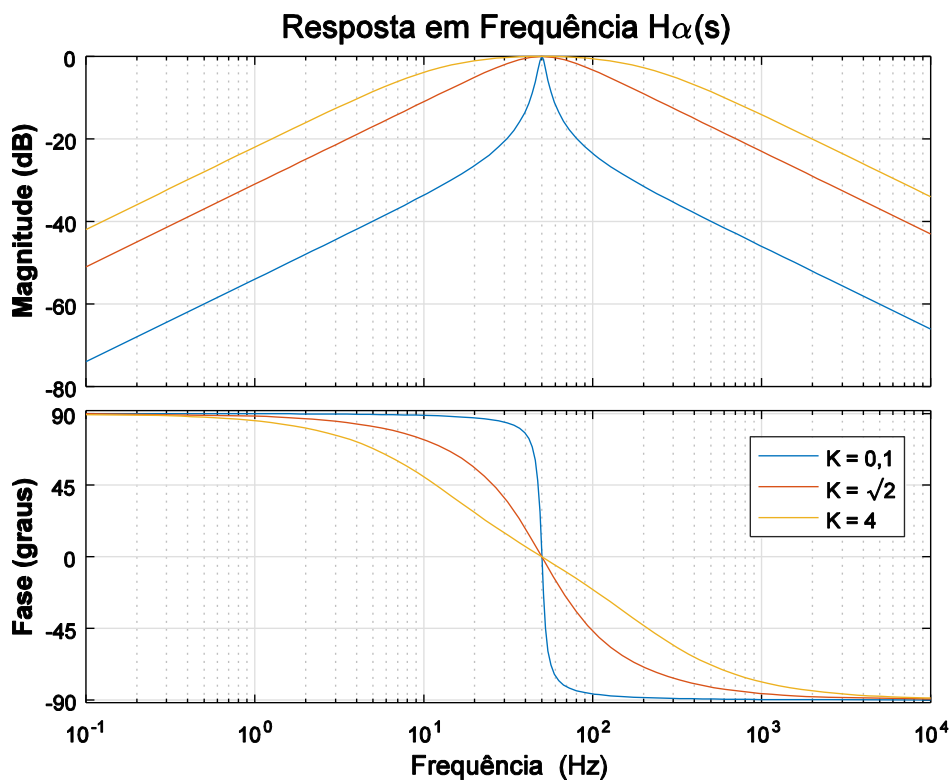


Figura 2.21 - Resposta em frequência do sistema que traduz o perfil da componente α de um SOGI, para diferentes valores de ganho K.

Analisando a resposta em frequência para a função (22) tem-se, para diferentes valores de K , os seguintes resultados:

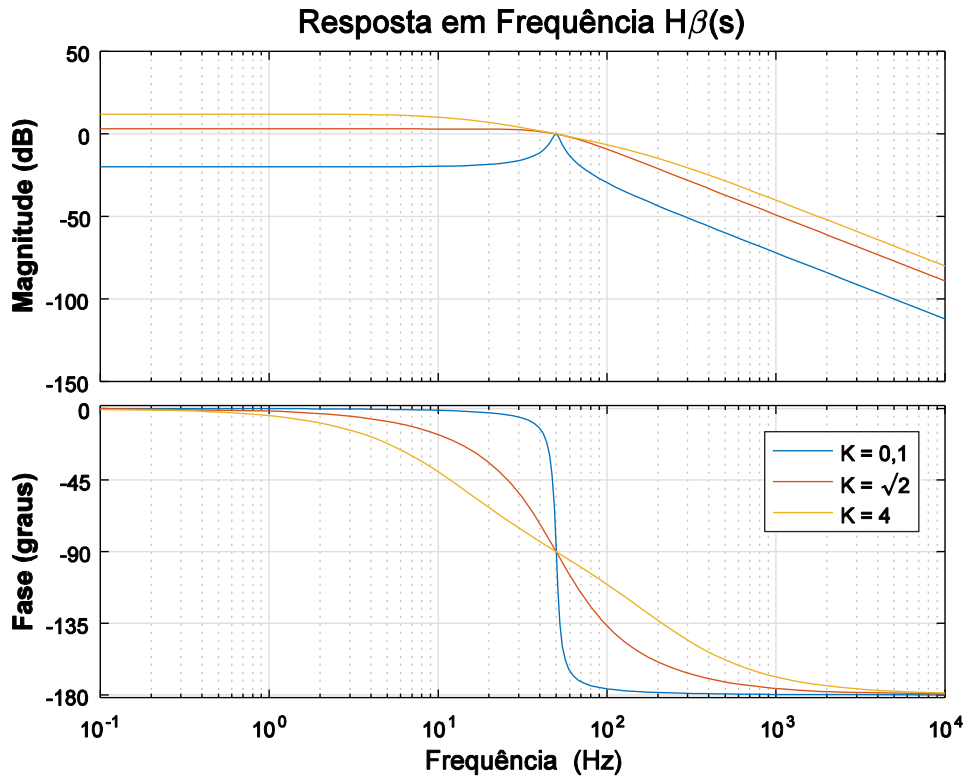


Figura 2.22 - Resposta em frequência do sistema que traduz o perfil da componente β de um SOGI, para diferentes valores de ganho K .

Aplicando o método de Tustin ou da transformada bilinear aos sistemas (21) e (22) vem que:

$$\begin{aligned}
 Y_{\alpha} = & \left(\frac{2 \cdot (4 - W_n^2 \cdot T_s^2)}{W_n^2 \cdot T_s^2 + 2 \cdot K \cdot W_n \cdot T_s + 4} \right) Y_{t-1} \\
 & + \left(\frac{-W_n^2 \cdot T_s^2 + 2 \cdot K \cdot W_n \cdot T_s - 4}{W_n^2 \cdot T_s^2 + 2 \cdot K \cdot W_n \cdot T_s + 4} \right) Y_{t-2} \\
 & + \frac{2 \cdot K \cdot W_n \cdot T_s}{W_n^2 \cdot T_s^2 + 2 \cdot K \cdot W_n \cdot T_s + 4}
 \end{aligned} \tag{24}$$

$$\begin{aligned}
 Y_{\beta} = & \left(\frac{2 \cdot (4 - W_n^2 \cdot T_s^2)}{W_n^2 \cdot T_s^2 + 2 \cdot K \cdot W_n \cdot T_s + 4} \right) Y_{t-1} \\
 & + \left(\frac{-W_n^2 \cdot T_s^2 + 2 \cdot K \cdot W_n \cdot T_s - 4}{W_n^2 \cdot T_s^2 + 2 \cdot K \cdot W_n \cdot T_s + 4} \right) Y_{t-2} \\
 & + \left(\frac{K \cdot W_n^2 \cdot T_s^2}{W_n^2 \cdot T_s^2 + 2 \cdot K \cdot W_n \cdot T_s + 4} \right) (X + X_{t-2}) \\
 & + \left(\frac{2 \cdot K \cdot W_n^2 \cdot T_s^2}{W_n^2 \cdot T_s^2 + 2 \cdot K \cdot W_n \cdot T_s + 4} \right) X_{t-1}
 \end{aligned} \tag{25}$$

2.6.3. Simulação do Algoritmo

Analisada a arquitectura do SOGI-PLL em termos teórico-práticos, tal como no estudo do PLL simples e do PLL com um filtro rejeita banda, procedeu-se à simulação do algoritmo em estudo neste subcapítulo recorrendo, de igual forma, a um algoritmo especialmente desenvolvido para a simulação a partir do programa Matlab[®]. Nas simulações realizadas foram utilizados os mesmos cenários de rede que para os casos anteriores sendo que, uma vez que a arquitectura da tecnologia em estudo foi alterada, as variáveis observadas, além da variação do ângulo de fase e do sinal de entrada e saída do sistema (e respectivo perfil sem perturbação), passam agora a ser a variação do valor da frequência, a componente ‘d’ e a componente ‘q’. Os perfis foram igualmente observados durante 300ms após o arranque do algoritmo.

Para um sinal de tensão com a presença de cavas de tensão tem-se, para cada um dos parâmetros de análise referidos, a seguinte resposta:

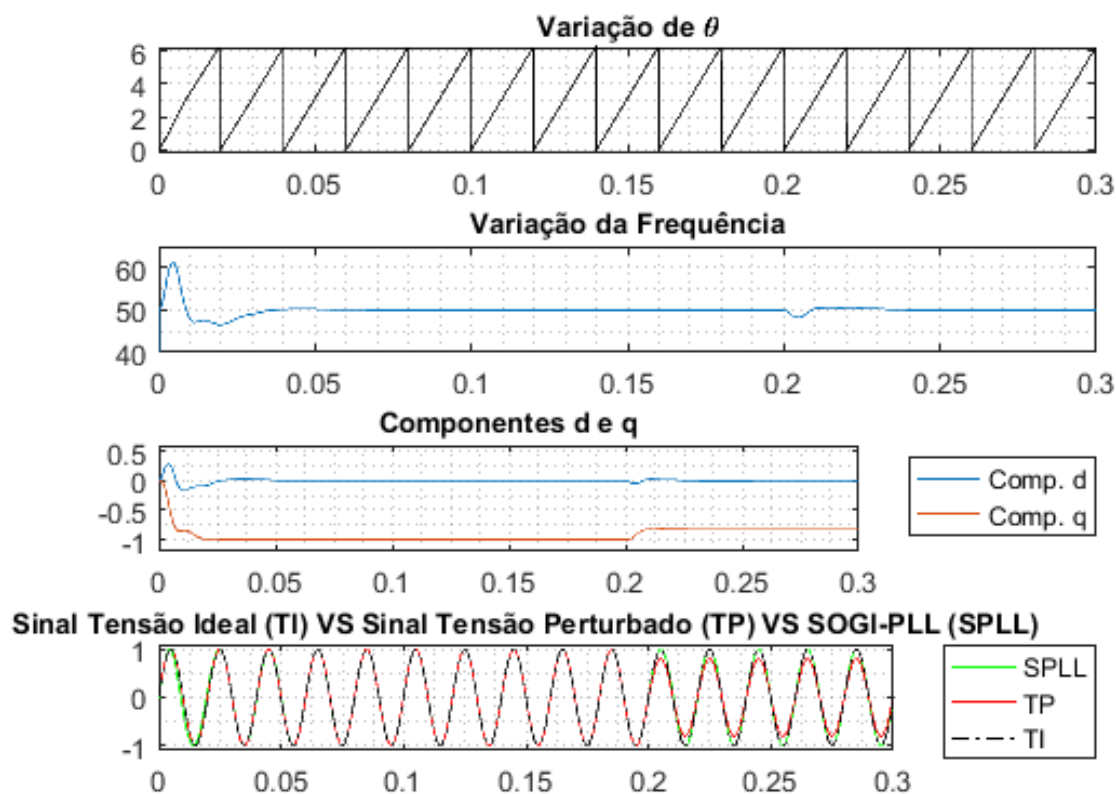


Figura 2.23 - Simulação da resposta do sistema SOGI-PLL a um sinal de rede com uma cava de tensão a 80% do valor da amplitude nominal. Simulação do desfasamento, da variação da frequência e das componentes d e q enquanto variáveis internas do sistema.

Na inicialização do sistema, aos 0ms, verifica-se um pico de variação do valor da frequência com a duração aproximada de 20ms. Este pico poderia ser reduzido se o algoritmo fosse inicializado com valores de frequência mais próximos do valor real, 50 Hz por exemplo. A cava de tensão induzida no sinal de entrada aos 200ms tem reflexo instantâneo na variação do valor da frequência mesmo que essa variação seja reduzida. A componente 'd' após a perturbação retoma o seu valor original em poucos milissegundos. Já a componente 'q' varia de forma proporcional à amplitude da onda de tensão de referência, razão pela qual, instantes após a perturbação, decai para 0.8 (reflexo da quebra de tensão para 80% do seu valor nominal).

Para um sinal de tensão sujeito a um salto de fase tem-se, para cada um dos parâmetros de análise referidos, a seguinte resposta:

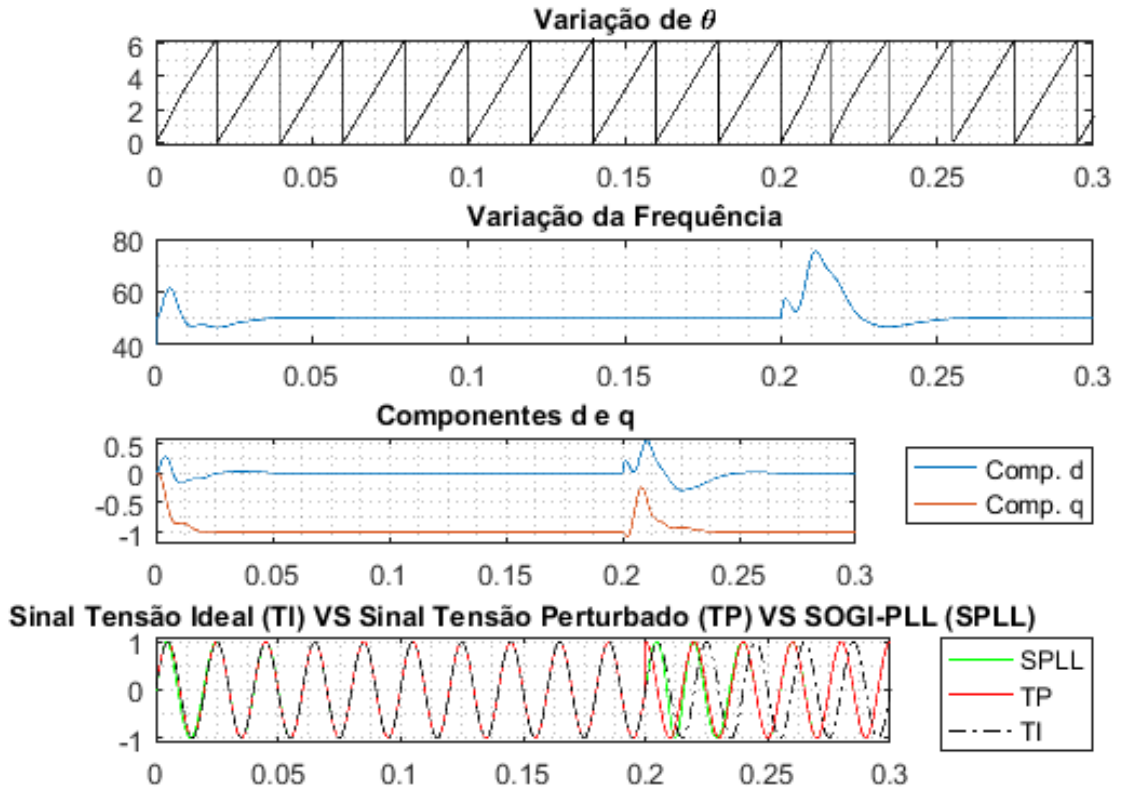


Figura 2.24 - Simulação da resposta do sistema SOGI-PLL a um sinal de rede com um salto de fase de 90° . Simulação do erro e do desfasamento enquanto variáveis internas do sistema.

Verifica-se, pela análise da figura 2.23, que todas as variáveis do sistema em estudo reagem a um salto de fase, especialmente o valor da frequência instantânea que varia mais do que uma vez e meia relativamente ao seu valor nominal. O sincronismo é momentaneamente perdido e retomado depois de 50ms, alcançando o seu estado de equilíbrio.

Quando ao sinal de entrada do sistema em estudo se adicionam harmónicas a resposta do sistema tende a aproximar-se daquela que é apresentada na figura abaixo:

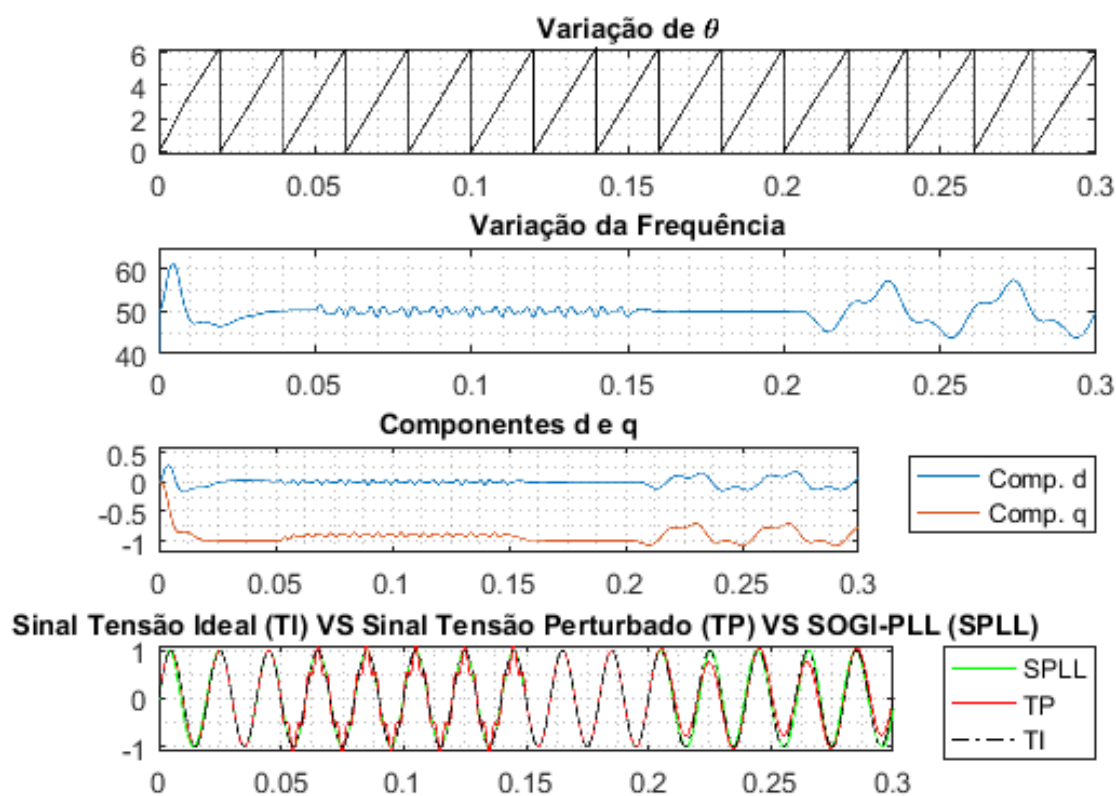


Figura 2.25 - Simulação da resposta do sistema SOGI-PLL a um sinal de rede sujeito a uma harmónica de 250 Hz (entre os 50ms e os 150 ms) e outro de 25 Hz (entre os 200ms e os 300ms), ambos a um quinto da amplitude do sinal de entrada. Simulação do erro e do desfasamento enquanto variáveis internas do sistema.

Perante a injeção de harmónicas de frequência superior à frequência fundamental (250 Hz) o sistema apresenta uma acção de contenção implacável sendo que o sistema deixa de ser transparente a este tipo de componentes e o efeito destas componentes, ao nível da resposta do sistema, é quase desprezável. Já perante as harmónicas de baixa frequência, a acção do sistema não é tão eficaz, sendo perceptível uma variação contínua do período do sinal do ângulo de fase que espelha essa contaminação.

Observando o comportamento das componentes 'd' e 'q' verifica-se um maior impacto das harmónicas, sejam elas de baixa ou alta frequência na componente 'q' quando comparada com a componente 'd'.

Para um sinal de tensão sujeito a uma alteração no valor da frequência tem-se, para cada um dos parâmetros de análise referidos, a seguinte resposta:

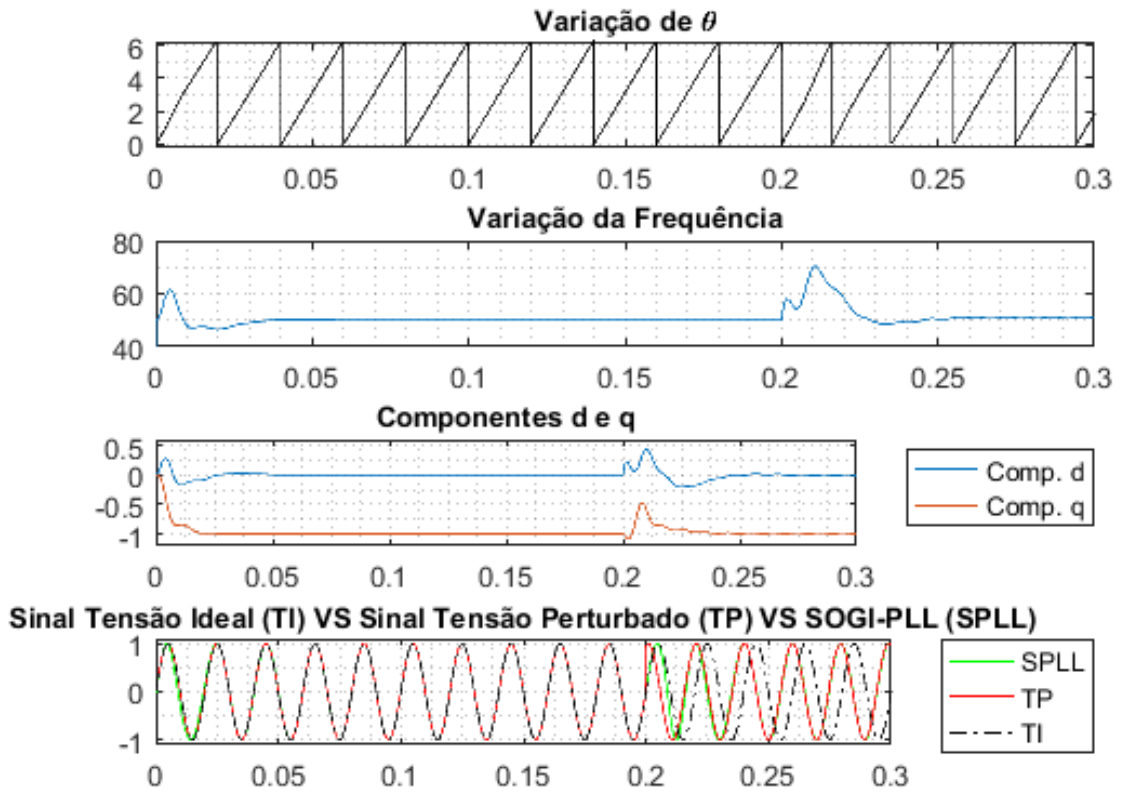


Figura 2.26 - Simulação da resposta do sistema SOGI-PLL a um sinal de rede sujeito a uma alteração no valor da frequência de 50 Hz para 51 Hz. Simulação do erro e do desfasamento enquanto variáveis internas do sistema.

Quando o sinal de tensão de referência é sujeito ao incremento da sua frequência um novo processo de sincronismo tem de ser iniciado, agora o novo sinal gerado acompanhar esse incremento. O deslocamento da frequência fundamental do sistema (de 50 Hz para 51 Hz) origina ainda uma oscilação do valor da frequência de saída.

2.6.3.1. Conclusões

Depois dos testes efectuados nas quatro situações, acima descritas, verifica-se um melhor padrão de resposta quando perante sistemas perturbados com cavas de tensão e com saltos de fase, quer em termos da amplitude de variação do erro e da variação da frequência, quer em termos do tempo de resposta do sistema, relativamente às arquitecturas associadas a sistemas anteriormente estudados. Quando comparados os dados relativos à variação da frequência de 50 Hz para 51 Hz, o SOGI-PLL é o sistema que garante uma menor erro relativo. No que toca ao estudo do impacto na resposta do sistema perante a injeção de harmónicas, o SOGI-PLL é o sistema que garante a menor deformação do perfil de variação instantânea do ângulo de fase e, por inerência, do perfil do sinal de tensão reconstruído, apresentando no entanto igual resposta perante harmónicas de baixa frequência quando comparado aos algoritmos anteriormente analisados. Este problema existe associado essencialmente à componente 'q' do SOGI que, apresentando uma resposta que pode ser descrita a partir do modelo de um filtro passa baixo, não tem capacidade para atenuar as frequências inferiores à frequência da rede. A componente 'd', por sua vez, configura a estrutura de um filtro passa banda, apresentando então a capacidade de atenuação de frequências inferiores à frequência da rede, apesar de essa atenuação ser tanto maior, e portanto mais eficaz, quanto menor for a frequência interferente relativamente à frequência fundamental. Como solução para esta problemática surge a aplicação do *Dual Second Order Generalized Integrator* (DSOGI) [5] que, como a própria designação sugere, enquadra uma dupla aplicação da estrutura do SOGI como resposta às deficiências encontradas no sistema simples (SOGI) [6], [14].

3. Resultados Práticos

Neste capítulo são apresentados os diferentes equipamentos utilizados aquando da realização dos testes práticos e é apresentada a interface física idealizada para o teste dos algoritmos de sincronização tendo por referência a rede de distribuição de energia, assim como sintetizado o processo do seu dimensionamento e construção. São também apresentados os resultados práticos de teste dos algoritmos.

3.1. Montagem Prática

Para uma experimentação mais realista dos algoritmos em estudo, foi desenvolvida uma montagem prática para a aquisição, condicionamento e reconstrução do sinal de tensão. O sistema de aquisição terá de comportar uma interface que permita a leitura do sinal de tensão visto do lado da estrutura da rede e o isolamento do sistema digital de controlo.

Recorreu-se a um equipamento isolador para a visualização do sinal de tensão da rede, garantindo assim o isolamento e a preservação de equipamento, o osciloscópio e os dispositivos a ele conectados.

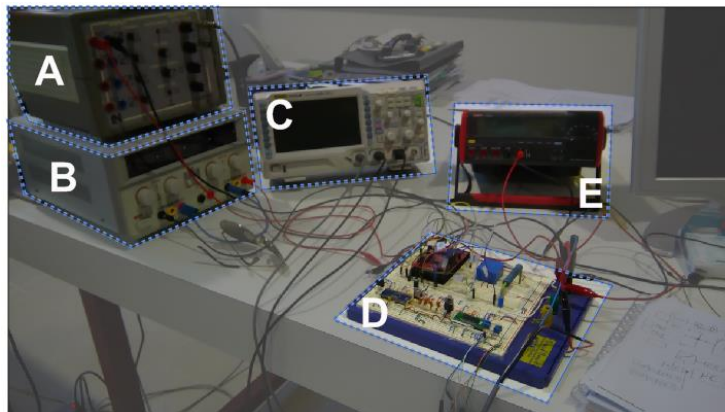


Figura 3.1 - Montagem do sistema de teste em ambiente laboratorial. A - Isolador de linha, B - Fonte de alimentação, C - Osciloscópio, D - Circuito de teste, E - Ponte de Medição

A digitalização do sinal de tensão é então efectuada por intermédio de um ADC, com uma resolução de 14 bits, associado a um sensor de tensão, do tipo Hall, ligado a uma resistência de potência. A gestão, controlo e actuação do sistema é efectuada por meio de um

microcontrolador, o Picollo 2000 da Texas e a observação das variáveis integrantes dos algoritmos é, depois de convertidos os dados por um DAC, feita com recurso a um osciloscópio.

Na figura seguinte apresenta-se a montagem prática do sistema de teste.

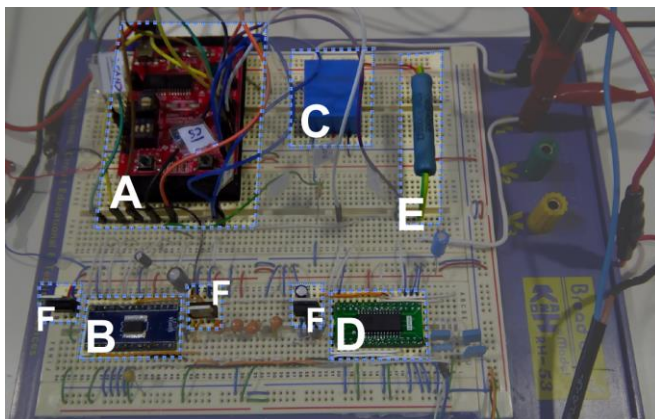


Figura 3.2 - *Breadboard* com sistema de teste montado. A - Microcontrolador, B - ADC, C - Sensor de tensão, D - DAC, E - Resistência de potência, F - Reguladores de tensão.

Que em termos esquemáticos, o sistema de teste, pode ainda ser representado conforme a figura 3.3.

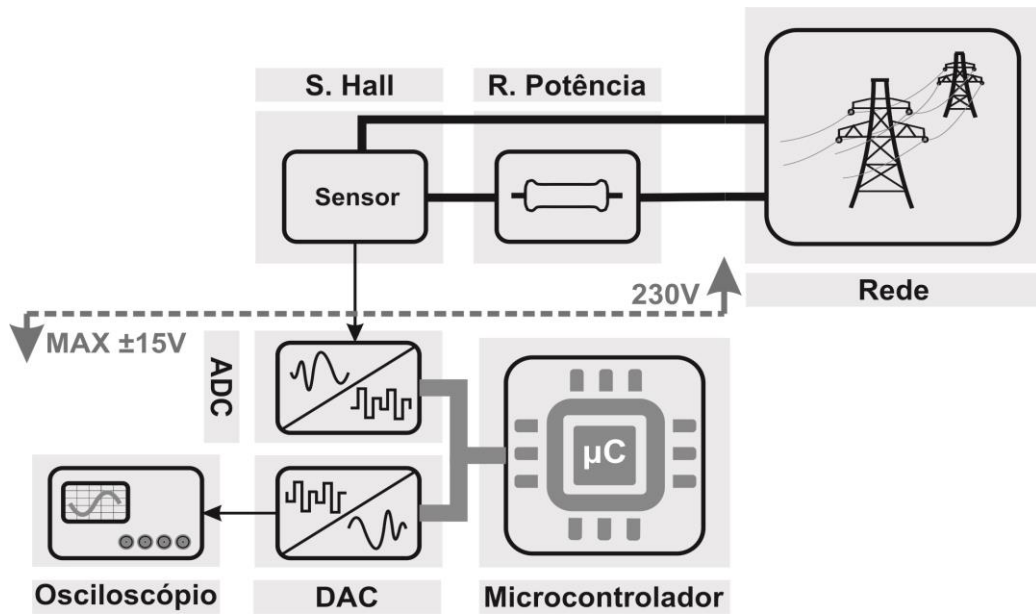


Figura 3.3 - Diagrama simplificado de montagem prática

Para a selecção do sensor para a aplicação prática foi, em primeiro lugar, tida em conta a necessidade de garantia de isolamento e a capacidade de ajuste da gama de tensão de saída, depois a precisão, os atrasos de resposta assim como o tamanho e o preço.

O sensor de tensão utilizado foi o CYHVS025A, composto internamente por duas bobinas, uma primária e uma secundária, com capacidade para medições de tensão numa gama de $\pm 500V$. A bobina primária é percorrida por uma corrente que é estruturalmente limitada a um mínimo de $-10mA$ e a um máximo de $10mA$. À gama de entrada referida corresponde, de forma linear ($\epsilon_L < 0.2\%$), uma gama de saída de $\pm 25mA$. Este dispositivo apresenta ainda um tempo de atraso de resposta até um máximo de $40\mu s$.

O sensor de tensão, apresenta então o seguinte esquema de ligação:

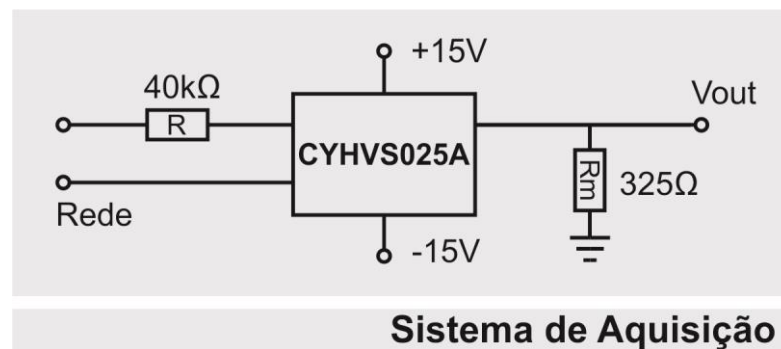


Figura 3.4 - Sistema de aquisição do sinal de tensão da rede

Para garantir que a corrente no primário do sensor se situa na gama fisicamente admissível por este, é necessária a adição de uma carga resistiva.

Uma vez que a tensão da rede, idealmente e em valores eficazes (RMS), varia entre aproximadamente $\pm 325V$, considerou-se uma janela de visualização de $\pm 400V$. Assim, a determinação do valor da resistência de potência pode então ser feita considerando apenas a componente resistiva:

$$V = R \cdot I \leftrightarrow R = \frac{V}{I} \quad (26)$$

Uma vez que a janela de visualização considerada foi $\pm 400V$ e a gama máxima admissível de entrada de corrente no sensor é de $\pm 10mA$, podemos determinar o valor da resistência:

$$\begin{aligned} R &= \frac{800}{20 \cdot 10^{-3}} \\ R &= 40k\Omega \end{aligned} \quad (27)$$

A partir da selecção da resistência R_m é possível definir a janela de tensão que será obtida em V_{out} . Esta gama de tensão é definida de acordo com a gama de entrada do ADC escolhido, que é de $\pm 10V$.

$$V = \pm 10V, I = \pm 25mA \rightarrow R = \frac{20}{50 \cdot 10^{-3}} \quad (28)$$

$$R = 400\Omega \rightarrow R = 325\Omega$$

Recorreu-se a uma resistência R_m com 325Ω , sendo que V_{out} variará entre $\pm 8,13V$.

Para a digitalização do sinal em V_{out} , foi utilizado um conversor analógico-digital de 14 bits, o AD7367 da Analog Devices, com uma gama de entrada variável, para a qual se seleccionou $\pm 10V$, gama que garante a melhor resolução possível para as leituras dentro daquela que é a capacidade do ADC utilizado, com o valor do bit menos significativo (LSB) de $\approx 1,2 mV$.

A cada LSB lido pelo ADC (T_{ADC}) corresponde uma tensão de entrada (T_{Rede}) de valor:

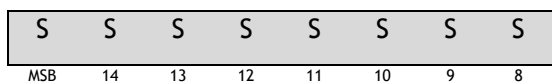
$$T_{Rede} = \frac{(T_{ADC} \cdot LSB_{ADC}) \cdot 400}{8,13} \quad (29)$$

A selecção da gama de entrada do ADC é efectuada a partir de RANGE0 e RANGE1 e a comunicação entre o ADC e o microcontrolador é efectuada a partir de cinco canais, três de controlo (CNVST, BUSY e CS), um de dados (D_{OUT}) e um de sincronismo (SCLK).

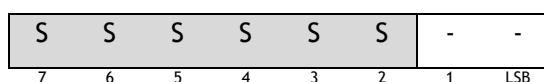
O envio da informação do ADC para o microcontrolador é efectuada a partir de duas palavras de dezasseis *bits* conforme a figura abaixo, sendo que a informação, quando recebida pelo microcontrolador, tem que ser condensada numa palavra de dezasseis *bits* e depois deslocada dois *bits* à direita.

Tabela 3.1 - Palavras utilizadas na comunicação entre o ADC e o microcontrolador

Recepção Palavra 1 →



→ Recepção Palavra 2 →



O controlo do ADC é feito a partir do microcontrolador da texas o Piccolo 2000, com um processador de 32 bits, 60M Hz, o F28027, a partir de um canal de comunicação SPI, que servirá igualmente para comunicar com o DAC, e algumas ligações complementares. O sistema de comunicação foi então organizado segundo o diagrama da figura 3.5.

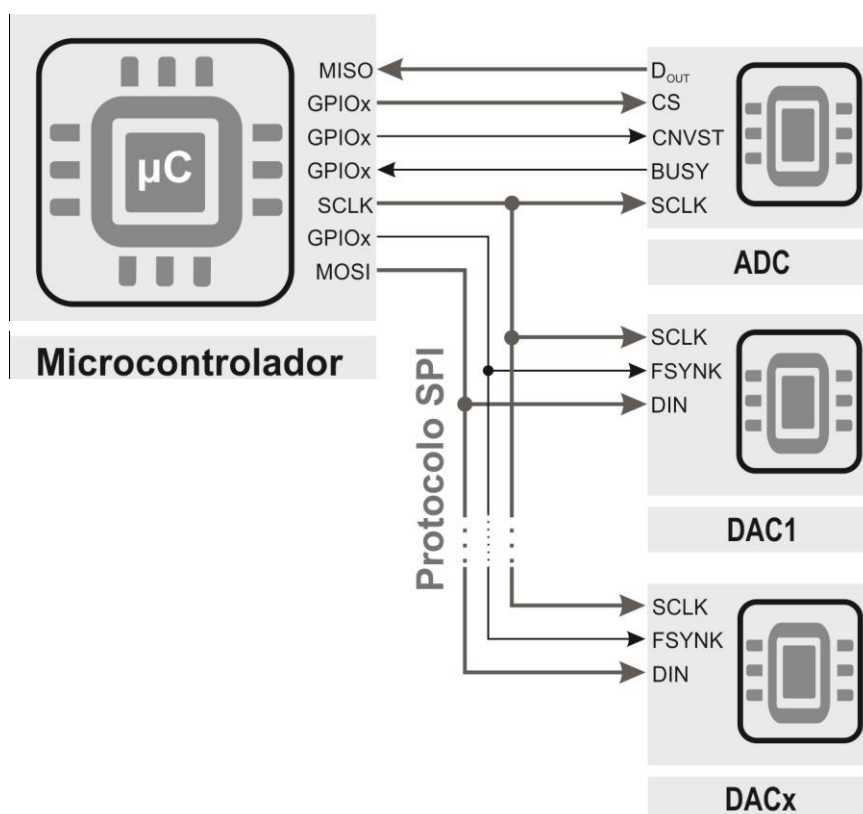


Figura 3.5 - Diagrama de comunicação entre microcontrolador e periféricos

Para poder visualizar as variáveis de interesse do sistema, recorreu-se a DAC's de 14 *bits*, com quatro canais e uma gama de tensão de saída por canal de $\pm 8.192V$, os AD7834 da Analog Devices. Este componente comunica com o microcontrolador a partir de 3 canais, um de controlo (FSYNK), um de sincronismo (SCLK) e um de dados (DIN).

A palavra enviada pelo microcontrolador para o DAC, através do canal de dados, possui um bit de controlo que permite que a restante palavra seja lida ou ignorada, dois bits para indicar qual o canal do DAC irá ser utilizado, cinco bits para endereçar os dados para o DAC correcto (quando usados *arrays* de DAC's), dois *bits* para prevenção de erros e finalmente catorze *bits* com o valor a ser convertido, num total de 24 *bits*, conforme tabela 3.2, que são enviados sequencialmente do MSB para o LSB.

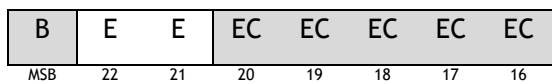
Tabela 3.2 - String com informação enviada pelo microcontrolador para os DAC's. Bit de Controlo (B), Endereço do canal (E), bits de controlo (LZ-Leading Zeros)

B	E	Endereço Chip	LZ	Informação Sinal de Saída DAC
x	x x	x x x x x	x x	x x x X x x x x x x x x x x
23	22 21	20 19 18 17 16	15 14	13 12 11 10 9 8 7 6 5 4 3 2 1 0

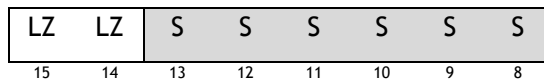
Uma vez que o ADC codifica as leituras em palavras de 14 bits, o DAC necessita que o sistema lhe envie a informação em palavras de 24 bits, e uma vez que para efeitos de comunicação (protocolo SPI) é necessário definir a dimensão da palavra que será usada, definiu-se uma palavra de 8 bits para garantir as trocas de informação entre o microcontrolador e os dispositivos externos e garantir que não ocorrem problemas de comunicação com os DAC's, conforme apresentado na tabela seguinte.

Tabela 3.3 - Palavras utilizadas na comunicação entre o DAC e o microcontrolador

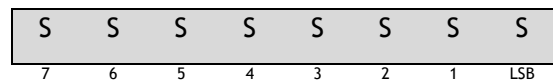
Envio Palavra 1 →



→ Envio Palavra 2 →



→ Envio Palavra 3



3.2. Testes Práticos

Neste subcapítulo são descritos e analisados os testes práticos efectuados na estrutura apresentada no subcapítulo 3.1 em contraste com as respectivas simulações em Matlab®. É analisada então a performance do PLL com filtro rejeita banda e do SOGI-PLL. O PLL simples não é testado em virtude da sua simplicidade e idealidade que o tornam difícil de avaliar perante um sistema complexo como é a rede de distribuição de energia eléctrica.

Para uma interpretação correcta dos dados experimentais é necessário ainda ter em conta, em termos comparativos, a diferença na velocidade de processamento entre a simulação e o caso real. No sistema simulado, as variáveis encontram-se definidas em matrizes sendo o seu acesso feito de forma quase instantânea e o processamento efectuado à velocidade de processamento do processador do computador utilizado. O sistema real depende da capacidade de resposta do sistema de aquisição e da velocidade de processamento do microcontrolador utilizado que trata instantaneamente os dados, isto é, por cada leitura do ADC tem que haver uma saída do sistema, sendo que não é feita uma nova leitura enquanto a resposta relativamente à anterior não for alcançada, o que leva a uma redução na taxa de amostragem e portanto na precisão da resposta. Esta taxa de amostragem é tão ou mais reduzida quanto for a complexidade do código a executar pelo microcontrolador, e a complexidade varia para os diferentes algoritmos em estudo.

3.2.1. Ensaio de funcionamento do NPLL

Concluída a análise matemática e concluídas as simulações para o sistema PLL com filtro rejeita banda, desenvolveu-se e programou-se o algoritmo para aplicação na montagem prática, nomeadamente no microcontrolador, o Picollo 2000 da Texas.

O algoritmo foi então testado com recurso ao sinal da rede de distribuição de energia eléctrica tendo-se obtido a seguinte resposta aquando da inicialização do algoritmo de sincronização com a rede baseado na arquitectura típica de um NPLL.

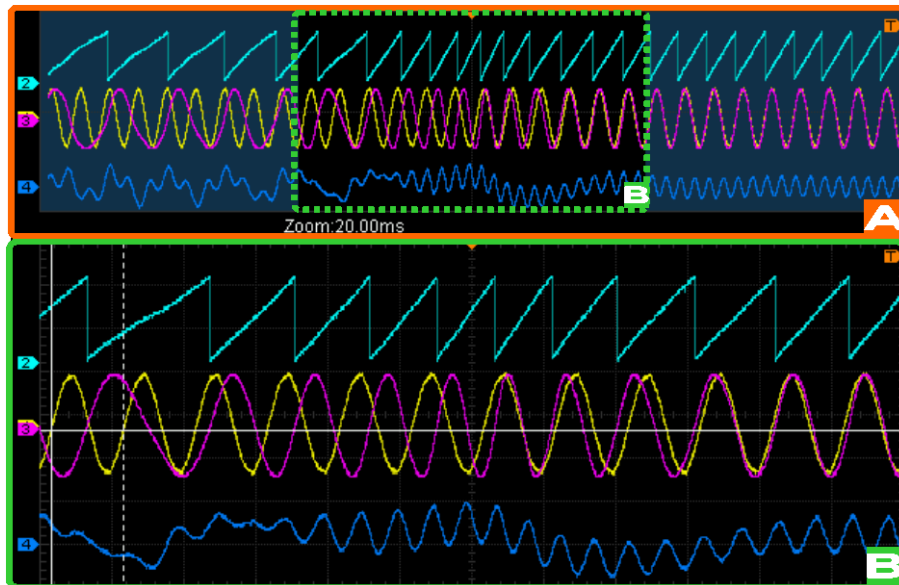


Figura 3.6 - Resposta do sistema PLL com filtro rejeita banda, lida no osciloscópio, perante o sinal de tensão da rede de distribuição de energia. [◆] - Variação do ângulo θ ao longo do tempo; [◆] - Sinal de tensão da rede de distribuição de energia; [◆] - Sinal de tensão resultante do algoritmo do NPLL; [◆] - Erro lido à saída do filtro rejeita banda; A - Observação da resposta em 0,58 segundos; B - Zoom da resposta.

A partir dos dados recolhidos pelo osciloscópio, aquando da leitura da resposta do sistema apresentada na figura 3.6, traçaram-se os seguintes gráficos para uma melhor observação dos resultados.

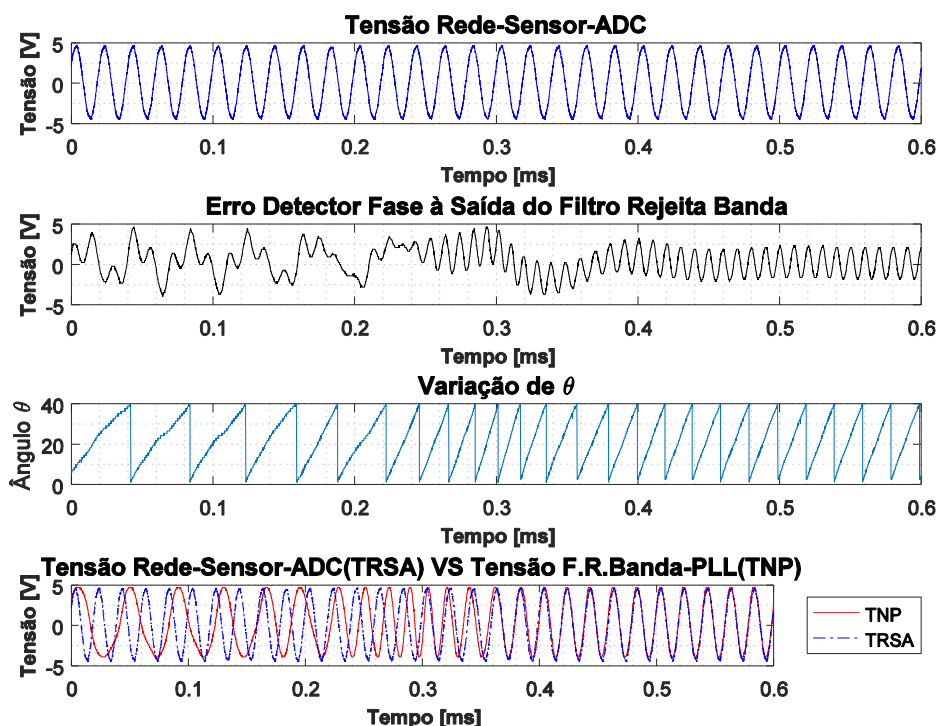


Figura 3.7 - Resposta do sistema PLL com filtro rejeita banda, lida no Matlab®, perante o sinal de tensão da rede de distribuição de energia. Observação da variação instantânea do ângulo θ , do sinal de tensão da rede de distribuição de energia, do sinal de tensão resultante do algoritmo do NPLL e do erro lido à saída do filtro rejeita banda.

Uma leitura atenta dos gráficos anteriores permite uma noção da performance do algoritmo e do sistema prático de teste perante uma situação real. Numa primeira observação visualiza-se a presença de um sinal interferente logo na resposta do filtro rejeita banda e que se propaga para o ângulo de fase e, por inerência, para o sinal modulado pelo sistema. O erro, proveniente do bloco detector de fase, não se dissipa como seria desejável na passagem pelo filtro rejeita banda. Tal como no estudo anterior, realizado a partir da simulação em Matlab®, nomeadamente para o caso em que o sinal é perturbado ao nível do valor da sua frequência, o valor da frequência da rede não é fixo e oscila entre valores próximos dos 50 Hz. Esta oscilação, associada à incapacidade do filtro em permutar a sua frequência de corte central (capacidade atribuída aos filtros adaptativos) e ao facto da banda de rejeição se caracterizar por ser estreita (conforme demonstrado nas figuras 2.13 e 2.14), faz com que a atenuação da

frequência interferente, com o dobro do valor da frequência adquirida a partir do sinal de tensão de referência, se reproduza na saída do sistema.

Analisando a resposta do sistema, verifica-se que depois de perturbado, o sistema demora cerca de 450ms a alcançar novamente o ponto de equilíbrio. Filtrada a componente interferentes (próxima do valor de 100 Hz) o sinal reproduzido parece ser uma boa aproximação ao sinal de referência, com o erro a tender para zero.

3.2.2. Ensaio de funcionamento do SOGI-PLL

Quando testado o algoritmo SOGI-PLL no sistema de teste prático obtiveram-se os seguintes perfis de resposta:

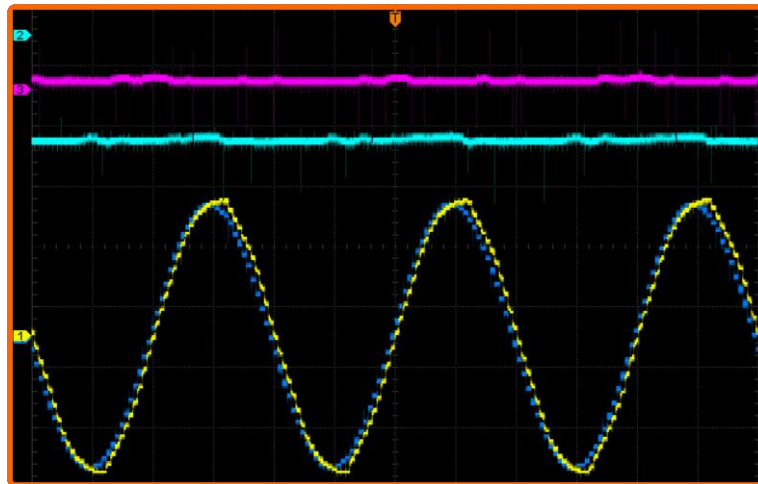


Figura 3.8 - Resposta do sistema SOGI-PLL, lida no osciloscópio, perante o sinal de tensão da rede de distribuição de energia. [◆] - Variação da componente 'd' ao longo do tempo; [◆] - Variação da componente 'q' ao longo do tempo; [◆] - Sinal de tensão da rede de distribuição de energia; [◆] - Sinal de tensão resultante do algoritmo do SOGI-PLL;

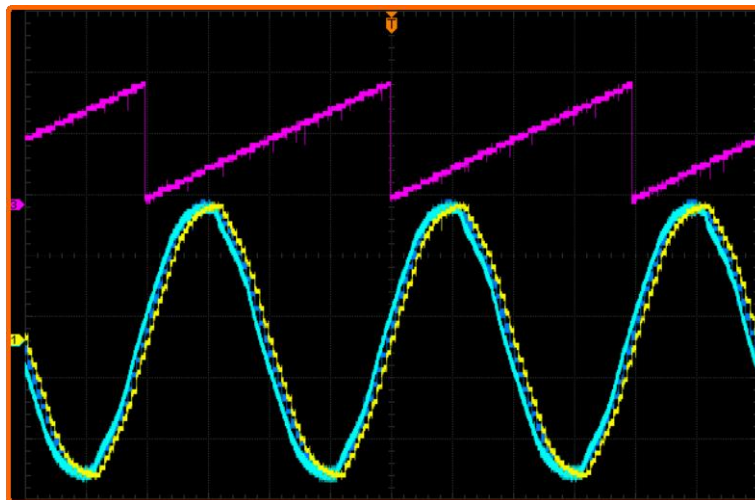


Figura 3.9 - Resposta do sistema PLL com filtro rejeita banda, lida no osciloscópio, perante o sinal de tensão da rede de distribuição de energia. [◆] - Variação do ângulo θ ao longo do tempo; [◆] - Sinal de tensão da rede de distribuição de energia lido à saída do filtro; [◆] - Sinal de tensão da rede à saída do ADC; [◆] - Sinal de tensão resultante do algoritmo do SOGI-PLL;

Com o aumento da complexidade do código, aumento esse associado à complexidade dos cálculos a efectuar para obter a resposta do sistema SOGI-PLL, os tempos de processamento tornaram-se superiores e, por sua vez, também o tempo de resposta do próprio sistema aumentou. Assim, torna-se difícil a visualização desta resposta numa janela de visualização idêntica à utilizada no caso anterior, retirando-se uma amostra do sistema já no ponto de equilíbrio.

Relativamente ao SOGI-PLL regista-se uma melhoria significativa no padrão de resposta, mesmo que o tempo necessário para alcançar esse estado seja superior ao do caso anterior. Obtém-se nesta amostra um perfil de ângulo de fase visualmente rectilíneo, portanto sem a presença de frequências interferentes, traduzindo-se essa estabilidade e rigor num sinal de tensão modulado pelo sistema com iguais características.

Aos três sinais, com aproximação sinusoidal, apresentados na figura 3.9 podem ser associados atrasos de diferentes origens. O primeiro atraso verifica-se entre o sinal de tensão da rede de distribuição de energia eléctrica e o mesmo sinal lido a partir do isolador (figura 3.9 - [◆]). O segundo e o terceiro atrasos são resultado da soma entre o atraso do sensor de tensão e os atrasos da resposta do sistema (microprocessador e periféricos), sensor de tensão - ADC - sistema (figura 3.9 - [◆]) e sensor de tensão - ADC - sistema - DAC (figura 3.9 - [◆]), respectivamente.

3.2.3. Análise sumária dos resultados

Tomando por base o trabalho de análise teórica e simulação dos algoritmos de sincronização abordados é possível justificar os padrões de resposta encontrados praticamente na sua totalidade, apresentando-se estes dentro dos trâmites previstos. Os testes práticos colocaram à prova o sistema electrónico desenvolvido especialmente para o efeito, que revelou ser um sistema funcional, com reduzida injeção de ruído.

A barreira entre a previsão teórica e a aplicação prática fez-se sentir com maior incidência nas características da rede, nomeadamente no facto de esta variar ao nível do valor do período da onda de tensão (frequência), o que exige um maior dinamismo por parte dos algoritmos de sincronização.

Houve ainda um aumento significativo nos tempos de resposta dos algoritmos, isto é, tempos necessários até que o sistema encontre seu ponto de equilíbrio (sinal modulado sincronizado com o sinal de referência), motivado em grande parte pelo tempo de processamento dos dados.

4. Conclusão

Neste capítulo é feita uma análise global do trabalho desenvolvido e descrito nesta dissertação assim como das conclusões retiradas nos subcapítulos. Apresentam-se ainda algumas sugestões para trabalhos futuros.

4.1. Considerações gerais

As estruturas e métodos de detecção de fase e sincronização dos sistemas com a rede sofreram ao longo dos anos um grande desenvolvimento em virtude das especificidades, cada vez mais exigentes, a que a rede de distribuição de energia se encontra sujeita.

Diversos factores contribuem para que o sinal de tensão visto na rede esteja repleto de fenómenos não previstos, nem quanto à dimensão nem quanto ao espaço temporal, e que comprometem de forma determinante a capacidade de resposta dos sistemas que, ligados à rede de distribuição de energia eléctrica, pretendem alcançar o sincronismo com a mesma.

Verifica-se que o sentido evolutivo desta tecnologia desencadeou a necessidade de se solucionar os constrangimentos identificados, algoritmo após algoritmo, existindo ainda hoje alguns desafios em aberto nesta matéria.

4.2. Considerações específicas

O trabalho desenvolvido ao longo da dissertação permitiu compreender de que formas pode ser adquirido o ângulo de fase entre dois sinais, quando o objectivo é a sincronização de ambos. Neste processo foi ainda possível confrontar as exigências, teoricamente impostas, face a limitações dos sistemas reais e que se materializaram na aplicação prática.

O desenvolvimento prático foi conseguido apesar das limitações materiais existentes, sendo que o processo de desenvolvimento e de teste prático permitiu ainda um contacto inequívoco com a realidade.

A análise comparativa dos resultados práticos a par com os resultados teóricos permitiu ainda uma perspectiva aprofundada e consubstanciada dos mesmos, bem como uma maior sensibilidade face aos desafios que de forma sequencial se foram colocando.

Concatenando o estudo teórico com o desenvolvimento prático, e resumindo as conclusões sequencialmente deduzidas ao longo dos subcapítulos, pode então afirmar-se que, de entre os algoritmos estudados, o detector de passagem por zero é apenas um método ilustrativo da complexidade e exigência de um sistema de detecção de fase não se apresentando, por si só, como solução quando o objectivo é a sincronização com a rede. O sistema PLL apresenta uma resposta deficiente quando o objectivo é a sincronização de dois sinais, uma vez que não detém a capacidade para anular a frequência interferente gerada pelo seu subsistema de detecção de fase. Os princípios associados ao sistema PLL servem, no entanto, de estrutura de base a muitos dos algoritmos ainda hoje apresentados como novas soluções. A associação de um filtro rejeita banda é apresentada como solução ao problema identificado no sistema PLL, comprovando-se a sua eficácia quando utilizado em simulação. Quando aplicado em sistemas reais, a especificidade da rede, no que concerne às flutuações que ocorrem em torno do valor da frequência instantânea do sinal de tensão característico, fazem com que o filtro perca a sua capacidade, conduzindo a resposta do sistema para um perfil próximo daquele que é apresentado pelo sistema PLL simples. O integrador de segunda ordem (SOGI) é, dos algoritmos estudados, o sistema que apresenta uma resposta mais eficaz. Perante os testes efectuados, a resposta deste sistema apenas é comprometida quando do sinal que lhe serve de referência, fazem parte frequências interferentes de valor inferior à frequência fundamental.

4.3. Sugestões de trabalhos futuros

É possível identificar um conjunto de pontos em torno dos quais é ainda possível desenvolver o estudo aqui iniciado.

Num trabalho futuro, o alargamento deste estudo a outros tipos de algoritmos com o mesmo propósito, seria um excelente complemento que poderia servir posteriormente para a apresentação de uma proposta impar nesta área.

A optimização do código desenvolvido para o microcontrolador, a par com a utilização de um microcontrolador com maior velocidade de processamento, seriam duas melhorias cujo peso teria expressividade nos resultados práticos.

A utilização de uma fonte de tensão alternada para simular a rede de distribuição de energia eléctrica, a partir da qual fosse possível a simulação das perturbações características da rede, seria uma mais-valia na simulação prática dos algoritmos.

Referências bibliográficas

- [1] J. D. B. Delgado, “Gestão Da Qualidade Total Aplicada Ao Sector do Fornecimento da Energia Eléctrica,” 2002.
- [2] R. R. Behera, “An Overview of Various Grid Synchronization Techniques for Single-Phase Grid Integration of Renewable Distributed Power Generation Systems.”
- [3] A. Vasile, “Grid Monitoring and Advanced Control of Distributed Power Generation Systems,” 2007.
- [4] A. K. Srivastava, A. A. Kumar, and N. N. Schulz, “Impact of distributed generations with energy storage devices on the electric grid,” *IEEE Syst. J.*, vol. 6, no. 1, pp. 110-117, Mar. 2012.
- [5] X. Guo, W. Wu, and H. Gu, “Phase locked loop and synchronization methods for grid-interfaced converters: a review,” *Prz. ELEKTROTECHNICZNY (Electrical Rev.)*, no. 4, pp. 182-187, 2011.
- [6] A. Nicastrì and A. Nagliero, “Comparison and evaluation of the PLL techniques for the design of the grid-connected inverter systems,” *IEEE Int. Symp. Ind. Electron.*, pp. 3865-3870, 2010.
- [7] Y. Yang, L. Hadjidemetriou, F. Blaabjerg, and E. Kyriakides, “Benchmarking of phase locked loop based synchronization techniques for grid-connected inverter systems,” *9th Int. Conf. Power Electron. - ECCE Asia "Green World with Power Electron. ICPE 2015-ECCE Asia*, pp. 2167-2174, 2015.
- [8] E. Standard, “50160: Voltage Characteristics of Electricity Supplied by Public Distribution Systems,” *Eur. Stand. CLC, BTTF*, vol. 3, no. March, pp. 1-18, 1994.
- [9] N. Bhalerao, O. Katkar, and M. Saruk, “DC Grid Synchronization,” *mjret.in*, vol. 1, no. 2, pp. 235-241.
- [10] A. Mazloomzadeh, V. Salehi, and O. Mohammed, “Soft synchronization of dispersed generators to micro grids for smart grid applications,” *2012 IEEE PES Innov. Smart Grid Technol. ISGT 2012*, pp. 1-7, 2012.
- [11] M. J. Ortega, J. C. Hernández, and O. G. García, “Measurement and assessment of power quality characteristics for photovoltaic systems: Harmonics, flicker, unbalance, and slow voltage variations,” *Electr. Power Syst. Res.*, vol. 96, pp. 23-35, 2013.
- [12] F. D. Freijedo, “Contributions to Grid-Synchronization Techniques for Power Electronic

- Converters,” *Ph.D Thesis*, no. June, 2009.
- [13] P. D. B. dos S. Gomes, “Sistema de Monitorização de Energia Eléctrica,” p. 115, 2012.
- [14] M. Ciobotaru, *Reliable Grid Condition Detection and Control of Single-Phase Distributed Power Generation Systems*. 2009.
- [15] S. E. N. B, “Grid synchronization algorithm for distributed generation system during grid abnormalities,” *Grid synchronization algorithm Distrib. Gener. Syst. Dur. grid Abnorm.*, vol. 769008, 2012.
- [16] R. J. Ferreira, R. E. Araujo, and J. a. P. Lopes, “A comparative analysis and implementation of various PLL techniques applied to single-phase grids,” *Proc. 2011 3rd Int. Youth Conf. Energ.*, pp. 1-8, 2011.
- [17] R. Teodorescu, M. Liserre, and P. Rodríguez, *Grid Converters for Photovoltaic and Wind Power Systems*. 2010.
- [18] Y. Han, L. Xu, M. M. Khan, G. Yao, L. D. Zhou, and C. Chen, “A novel synchronization scheme for grid-connected converters by using adaptive linear optimal filter based PLL (ALOF-PLL),” *Simul. Model. Pract. Theory*, vol. 17, no. 7, pp. 1299-1345, 2009.
- [19] M. Ugras Cuma, A. Teke, M. Emin Meral, K. Cagatay Bayindir, and M. Tumay, “Implementation of a non-linear adaptive filter based sag detection method for dynamic voltage restorers under unbalanced fault conditions,” *J. Power Electron.*, vol. 13, no. 2, pp. 304-312, 2013.