

Análise Comparativa do Desempenho de Proteções DC de Estado Sólido

Versão Final Após Defesa

Luís Jorge Sampaio Fonseca

Dissertação para obtenção do Grau de Mestre em
Engenharia Eletrotécnica e de Computadores
(2^o ciclo de estudos)

Orientador: Doutor Fernando José Figueiredo Bento

Agosto de 2024

Declaração de Integridade

Eu, Luís Jorge Sampaio Fonseca, que abaixo assino, estudante com o número de inscrição M12210 de Engenharia Eletrotécnica e de Computadores da Faculdade de Engenharia, declaro ter desenvolvido o presente trabalho e elaborado o presente texto em total consonância com o **Código de Integridades da Universidade da Beira Interior**.

Mais concretamente afirmo não ter incorrido em qualquer das variedades de Fraude Académica, e que aqui declaro conhecer, que em particular atendi à exigida referência de frases, extratos, imagens e outras formas de trabalho intelectual, e assumindo assim na íntegra as responsabilidades da autoria.

Universidade da Beira Interior, Covilhã 05 /08 /2024

(assinatura conforme Cartão de Cidadão ou preferencialmente
assinatura digital no documento original se naquele mesmo formato)

Dedicatória

Aos meus pais, que alimentaram com carinho e apoio a minha alma, providenciando motivação e esperança durante toda a jornada de concretização deste trabalho.

Agradecimentos

A Deus, pela vida, saúde, força e por tudo quanto sou e tenho.

Ao meu orientador, pela confiança, paciência, grande empenho e compreensão dedicados durante a realização deste projecto.

Ao CISE – Centro de Investigação em Sistemas Electromecatrónicos, pela disponibilização dos recursos técnicos necessários à realização deste trabalho.

A todos os professores da UBI que, com boa vontade, me proporcionaram conhecimentos que me ajudaram a mergulhar no mundo da engenharia.

Finalmente, e com muito apreço, agradeço de todo coração a todos quantos fizeram parte da minha formação, com o seu saber, dedicação e entrega, contribuindo assim para o meu amadurecimento pessoal e científico, mormente amigos e colegas.

Resumo

A protecção de sistemas de energia em corrente contínua (DC) assume, nos dias de hoje, uma relevância crescente, dado o interesse crescente e a prevalência desta forma de distribuição de energia. De facto, tem vindo a ser desenvolvido um conjunto abrangente de dispositivos de protecção para sistemas DC. Apesar da disponibilidade de uma gama crescente de soluções para a protecção de sistemas de energia em DC, subsistem preocupações relativamente à efectividade e resiliência de algumas dessas soluções. Assim, esta dissertação visa realizar uma escolha informada das topologias de protecções DC aplicáveis a micro-redes DC, particularmente das topologias de estado sólido. Através de uma análise comparativa, são avaliados aspectos como a tolerância a falhas ou o stress imposto aos componentes da protecção. Para tal, é efectuada a simulação, em ambiente MATLAB/Simulink, de um sistema DC integrando algumas das protecções de estado sólido consideradas mais promissoras. Essas mesmas configurações de protecções DC são igualmente sujeitas a validação experimental, para confirmação dos resultados de simulação.

Palavras-chave

Sistemas de Energia DC; Protecção DC; Disjuntor de Estado Sólido (SSCB); Análise de Desempenho.

Abstract

The protection of direct current (DC) power systems is becoming increasingly important nowadays, given the growing interest and prevalence of this form of power distribution. In fact, a comprehensive set of protection devices for DC systems has been developed recently. Despite the availability of a growing range of DC protection solutions, concerns remain regarding the effectiveness and resilience of some of these solutions. Therefore, this dissertation aims to make an informed choice regarding DC protection technologies suitable for DC microgrids, particularly solid-state circuit breakers. Through a comparative analysis, aspects such as fault tolerance or stress imposed on the DC protection components are evaluated. To this end, a simulation of a DC system integrating some of the most promising solid-state circuit breakers (SSCBs) is carried out in MATLAB/Simulink. To confirm the effectiveness of the simulation models, such DC protection solutions are also subjected to experimental validation.

Keywords

DC Energy Systems; DC Protection; Solid-State Circuit Breaker (SSCB); Performance Analysis.

Índice

Lista de Figuras.....	xv
Lista de Tabelas	xvii
Lista de Acrónimos	xix
Introdução	1
1.1 Motivação.....	1
1.2 Objetivos	2
1.3 Estrutura da dissertação	2
Arquitetura de Micro-redes DC	5
2.1 Micro-redes DC.....	5
2.1.1 Ligação à terra	6
2.2 Tolerância a Falhas	8
Proteção de Micro-redes DC.....	9
3.1 Falhas em micro-redes DC	9
3.2 Diagnóstico de avarias e a sua implementação para identificação da falha... 10	
3.2.1 Métodos de diagnóstico de avarias em micro-redes DC.....	11
3.3 Dispositivos de Proteção.....	12
3.3.1 Disjuntores de estado sólido (SSCBs).....	12
3.3.1.1 Princípios de Funcionamento dos SSCBs.....	13
3.3.1.2 Classificação de SSCBs.....	14
3.3.2 Disjuntores híbridos	16
3.3.2.1 Constituição e Funcionamento dos Disjuntores DC Híbridos	16
3.3.3 Disjuntor DC mecânico.....	18
3.3.4 Fusíveis	19
Simulação de Disjuntores de Estado Sólido (SSCBs)	21
4.1 Topologias selecionadas e resultados de simulação	23
4.1.1 Topologia de interrupção com resistência (TIR).....	23
4.1.2 Topologia de interrupção sem resistência (TIRC).....	26
4.1.3 Topologia de interrupção com condensador (TIC)	28
4.1.4 Topologia limitadora com resistência (TLR).....	30
4.1.5 Topologia limitadora com circuito RC (TLRC).....	32
4.1.6 Topologia limitadora sem resistência (TLSR)	35
Validação Experimental.....	37
5.1 Topologia limitadora sem resistência (TLSR)	38
5.2 Topologia limitadora com circuito RC (TLRC).....	40
5.3 Topologia de interrupção com circuito RC (TIRC).....	43
Conclusão e Sugestão de Trabalhos Futuros	45

6.1	Conclusão	45
6.2	Sugestões para trabalhos futuros	46
7	Referências	47

Lista de Figuras

Figura 2.1 - Arquitetura de uma micro-rede DC com um barramento e sistema de armazenamento de energia diretamente ligado ao barramento comum [3].....	6
Figura 2.2 - Esquema de ligação à terra IT em micro-redes DC [3].....	7
Figura 2.3 - Esquemas de ligação à terra TN em micro-redes DC [5].....	7
Figura 3.1 - Falha polo-a-terra [5].	9
Figura 3.2 - Falha polo-a-polo [5].	10
Figura 3.3 – Etapas do processo de diagnóstico de avarias [7].....	10
Figura 3.4 - Estrutura básica de um disjuntor de estado sólido [5].	13
Figura 3.5 - Topologia de interrupção [15].....	15
Figura 3.6 – Topologia limitadora [15].....	15
Figura 3.7 - Esquema de um disjuntor DC híbrido [13].	17
Figura 3.8 - Disjuntor híbrido com aplicação de fototransístores [13].	17
Figura 3.9 - Estrutura geral de um disjuntor mecânico. a) Disjuntor de ressonância passiva; b) Disjuntor de ressonância ativa [15].	18
Figura 3.10 - Porta fusíveis e fusíveis de proteção [13].	19
Figura 4.1 - Circuito DC de ensaio das proteções.	21
Figura 4.2 - Topologia de interrupção.	21
Figura 4.3 - Topologia limitadora.	22
Figura 4.4 - Topologia de Interrupção.....	24
Figura 4.5 - Corrente no varistor: (a) $V_{ref} = 200\text{ V}$; (b) $V_{ref} = 450\text{ V}$	25
Figura 4.6 - Corrente no <i>snubber</i> : (a) $V_{ref} = 200\text{ V}$; (b) $V_{ref} = 450\text{ V}$	25
Figura 4.7 - Corrente no ramo principal: (a) $V_{ref} = 200\text{ V}$; (b) $V_{ref} = 450\text{ V}$	25
Figura 4.8 - Tensão no ramo principal e no varistor: (a) $V_{ref} = 200\text{ V}$; (b) $V_{ref} = 450\text{ V}$	25
Figura 4.9 - Tensão no semiconductor do <i>snubber</i> : (a) $V_{ref} = 200\text{ V}$; (b) $V_{ref} = 450\text{ V}$. ..	25
Figura 4.10 - Topologia de interrupção com resistência e condensador.....	26
Figura 4.11 - Corrente no varistor.....	27
Figura 4.12 - Corrente no <i>snubber</i>	27
Figura 4.13 - Corrente no ramo principal.....	27
Figura 4.14 - Tensão no ramo principal e no varistor.	27
Figura 4.15 - Tensão no semiconductor do <i>snubber</i>	28
Figura 4.16 - Topologia de Interrupção com condensador.	28
Figura 4.17 - Corrente no varistor.....	29
Figura 4.18 - Corrente no <i>snubber</i>	29
Figura 4.19 - Corrente no ramo principal.....	30

Figura 4.20 - Tensão no ramo principal e no varistor.	30
Figura 4.21 - Tensão no semiconductor do <i>snubber</i>	30
Figura 4.21 - Topologia Limitadora.	30
Figura 4.23 - Corrente no varistor.	31
Figura 4.24 - Tensão no varistor.	31
Figura 4.25 - Corrente no snubber.	32
Figura 4.26 - Corrente no ramo principal.	32
Figura 4.27 - Tensão no ramo principal.	32
Figura 4.28 - Tensão no semiconductor do <i>snubber</i>	32
Figura 4.29 - Topologia limitadora com o circuito RC em paralelo com o varistor.	33
Figura 4.30 - Corrente no varistor.	34
Figura 4.31 - Tensão no varistor.	34
Figura 4.32 - Corrente no snubber.	34
Figura 4.33 - Corrente no ramo principal.	34
Figura 4.34 - Tensão no ramo principal.	34
Figura 4.35 - Tensão no semiconductor do <i>snubber</i>	34
Figura 4.36 - Topologia limitadora sem resistência.	35
Figura 4.37 - Corrente no varistor.	36
Figura 4.38 - Tensão no varistor.	36
Figura 4.39 - Corrente no ramo principal.	36
Figura 4.40 - Tensão no ramo principal.	36
Figura 5.1 - Circuito DC de ensaio das proteções.	37
Figura 5.2 – Montagem experimental implementada no CISE LSE.	38
Figura 5.3 - Correntes nos componentes da TLSR – corrente no varistor (azul), ramo principal (laranja) e de entrada (amarelo).	40
Figura 5.4 - Tensões nos componentes da TLSR – varistor (azul), ramo principal (laranja) e carga (amarelo).	40
Figura 5.5 – Variações da TLRC: sem semiconductor no ramo de comutação (esquerda) e com semiconductor no ramo de comutação (direita).	41
Figura 5.6 - Correntes nos componentes da TLRC – varistor (azul), snubber (laranja) e do ramo principal (amarelo).	42
Figura 5.7 - Tensões nos componentes da TLRC – saída (azul), ramo principal (laranja) e varistor (amarelo).	42
Figura 5.8 - Correntes nos componentes da TIRC – varistor (azul), snubber (laranja), de entrada (amarelo) e do ramo principal (roxo).	44
Figura 5.9 - Tensões nos componentes da TLRC – saída (azul), ramo principal (laranja) e varistor (amarelo).	44

Lista de Tabelas

Tabela 3.1 - Vantagens e desvantagens dos dispositivos de proteção utilizados em micro-redes DC.....	12
Tabela 3.2 - Vantagens e desvantagens das topologias de SSCBs.....	16
Tabela 4.1 – Parâmetros da simulação.	22
Tabela 4.2 – Parâmetros de avaliação do desempenho de SSCBs.....	22
Tabela 4.3 - Topologia de Interrupção com Resistência	24
Tabela 4.4 - Topologia de Interrupção com Resistência e Condensador	26
Tabela 4.5 - Topologia de interrupção com condensador	29
Tabela 4.6 - Topologia limitadora com resistência	31
Tabela 4.7 - Topologia limitadora com circuito RC em paralelo	33
Tabela 4.8 - Topologia limitadora sem resistência.....	35
Tabela 5.1 – Parâmetros da montagem experimental.	37
Tabela 5.2 – Topologia limitadora sem resistência, com varistor de tensão limite a 150 V.....	39
Tabela 5.3 – Topologia limitadora sem resistência, com varistor de tensão limite a 56 V	39
Tabela 5.4 – Topologia limitadora com circuito RC, sem semicondutor	41
Tabela 5.5 – Topologia limitadora com circuito RC, com semicondutor	43
Tabela 5.6 – Topologia de interrupção com circuito RC, com varistor de tensão limite a 150 V	43
Tabela 5.7 – Topologia de interrupção com circuito RC, com varistor de tensão limite a 56 V	44

Lista de Acrónimos

AC	<i>Alternating Current</i> - Corrente Alternada
DC	<i>Direct Current</i> - Corrente Contínua
DER	<i>Distributed Energy Resources</i> - Recursos Energéticos Distribuídos
IGBT	<i>Insulated Bipolar Gate Transistor</i> - Transístor Bipolar de Gate Isolada
IGCT	<i>Integrated Gate-Commutated Thyristor</i> - Tirístor Comutável por Gate Integrada
JFET	<i>Junction Field Effect Transistor</i> - Transístor de Efeito de Campo de Junção
LVDC	<i>Low-Voltage Direct Current</i> - Corrente Contínua em Baixa Tensão
MOSFET	<i>Metal Oxide Semiconductor Field Effect Transistor</i> - Transístor de Efeito de Campo Metal-Óxido-Semicondutor
MVDC	<i>Medium Voltage Direct Current</i> - Corrente Contínua em Média Tensão
PV	<i>Photovoltaic</i> - Fotovoltaico
SSCB	<i>Solid-State Circuit Breaker</i> - Disjuntor de Estado Sólido
TIC	Topologia de interrupção com condensador
TIR	Topologia de interrupção com resistência
TIRC	Topologia de interrupção com condensador e resistência
TLR	Topologia limitadora com resistência
TLRC	Topologia limitadora com circuito RC paralelo
TLSR	Topologia limitadora sem resistência

Capítulo 1

Introdução

Nos últimos anos, os sistemas de energia em corrente contínua (DC) têm ganho destaque, nomeadamente na forma de micro-redes e outros sistemas de distribuição de energia de pequena escala. Entre a multiplicidade de vantagens inerentes a sistemas de energia DC, destaca-se a facilidade na integração de fontes de energia renovável, de sistemas de armazenamento e de cargas. Esses recursos levaram a aplicação de sistemas DC em navios, aviões, sistemas de telecomunicações, *data centres* e até mesmo em residências. Por outro lado, a detecção de falhas, o isolamento da área afetada por falhas e a ausência da passagem da corrente por zero, ainda são grandes barreiras técnicas das micro-redes DC. Por estas razões, importa aprofundar a investigação nesta área [1].

1.1 Motivação

Atualmente, ocorre um grande progresso na adopção de sistemas de microgeração baseados em energias renováveis, como por exemplo sistemas fotovoltaicos (PV), turbinas eólicas de pequena dimensão, células de combustível, entre outros. De facto, estas tecnologias partilham entre si o facto de produzirem energia em DC ou de possuírem, em algum ponto dos respetivos sistemas, energia em DC. Este factor promove assim a integração destas fontes em micro-redes DC. Porém, vários factores podem afetar negativamente o desempenho de uma micro-rede DC, diminuindo, conseqüentemente, o seu desempenho. De facto, as micro-redes DC são frequentemente expostas a diferentes tipos de falhas e defeitos que afetam o seu bom funcionamento - por exemplo, falhas por curto-circuito ou circuito aberto [2]. Essas falhas podem, entre outros, comprometer o bom funcionamento de todos os componentes integrados na micro-rede, reduzir consideravelmente a produção de energia e também a vida útil de um sistema. Com isto, é de extrema importância o estudo de dispositivos de proteção que possam proteger toda a micro-rede DC contra estas falhas, assegurando a integridade dos componentes que a compõem. A inexistência de pontos de passagem da corrente elétrica por valor nulo, como acontece em sistemas AC, torna a tarefa de isolar e neutralizar falhas mais complexa e,

simultaneamente, impede a adopção da maioria dos dispositivos de protecção utilizados em redes de corrente alternada (AC).

Uma protecção DC de estado sólido (SSCB) é um dispositivo de protecção baseado em semicondutores de potência que, sem partes móveis, oferece uma resposta extremamente rápida e eficiente na interrupção de correntes de falha que possam vir a ocorrer em sistemas de energia DC. Estes dispositivos são melhores ou mais eficientes que os dispositivos de protecção eletromecânicos tradicionais em vários aspetos, como o tempo de resposta, a ausência de formação de arco elétrico durante a interrupção, maior durabilidade e operação silenciosa [3].

Para fazer face aos requisitos de selectividade e isolamento rápido de avarias, foram recentemente propostos, pela comunidade científica, várias configurações de SSCBs, capazes de assegurar a comutação e interrupção segura da corrente de falha. Para tomar uma decisão esclarecida relativamente à seleção dos melhores dispositivos de protecção para micro-redes DC de baixa tensão, importa perceber quais as configurações de SSCBs que apresentam características mais favoráveis.

1.2 Objetivos

Tendo por base o diagnóstico efetuado anteriormente, o objetivo central deste trabalho consiste em testar o desempenho de várias configurações de SSCBs, considerando diferentes valores para a tensão de referência dos elementos dissipadores de energia e para a corrente de curto-circuito. Para avaliar o desempenho de cada configuração, são analisados aspetos como a dissipação de energia nos componentes constituintes da protecção.

1.3 Estrutura da dissertação

Esta dissertação é composta por cinco capítulos.

Neste primeiro capítulo, é apresentada a contextualização do tema, a motivação que levou à realização desta dissertação, os objetivos a atingir com a realização do trabalho e a estrutura adotada nesta dissertação.

No capítulo 2, é analisada a estrutura de micro-redes DC, nomeadamente os sistemas de aterramento mais indicados para sistemas DC. Estudam-se ainda as falhas passíveis de ocorrer em micro-redes DC, tais como falhas por curto-circuito e circuito aberto, analisando de maneira genérica duas técnicas de deteção de falhas.

O capítulo 3 é dedicado à apresentação, classificação e descrição das principais topologias de proteções DC. Nele, são estudadas as diferentes topologias de proteções DC: disjuntor DC de estado sólido; disjuntores DC híbridos; disjuntor DC mecânico e

fusíveis. São ainda descritas as diversas formas de avarias por curto-circuito em micro-redes DC.

No capítulo 4, são apresentadas as configurações de SSCB alvo de estudo, sendo também apresentados resultados de simulação relativos às mesmas.

O capítulo 5 apresenta os resultados experimentais, obtidos para três configurações distintas.

Por fim, o capítulo 6 apresenta as conclusões do trabalho e apresenta sugestões de trabalhos futuros.

Capítulo 2

2 Arquitetura de Micro-redes DC

Neste capítulo, é apresentada a análise à literatura científica ligada a micro-redes DC, a sua estrutura e tecnologias para a sua implementação, numa visão genérica.

2.1 Micro-redes DC

Uma micro-rede pode ser definida como um sistema de distribuição de energia que interliga cargas, recursos energéticos distribuídos (DERs) com produção baseada em fontes renováveis ou de baixo carbono, sistemas de armazenamento de energia e/ou outras cargas controláveis (como os veículos elétricos). Podem estar interligadas à rede AC principal ou funcionar em modo isolado [3].

Existem 3 topologias de micro-redes DC: 1) com um barramento DC comum; 2) com vários barramentos DC; ou 3) com uma topologia reconfigurável. O aumento do número de barramentos na micro-rede permite definir um maior número de níveis de tensão, aumentando a flexibilidade da rede. Também começam a ser estudadas micro-redes DC com topologia reconfigurável, sendo a configuração em anel uma das mais recorrentes. Como as cargas podem ser alimentadas através de dois trajectos distintos, o uso de interruptores eletrónicos inteligentes (*Intelligent electronic switches*) em caso de falha na rede permite que a rede possa ser reconfigurada, aumentando a fiabilidade desta.

Uma micro-rede DC com barramento DC comum é mostrada na Figura 2.1. Entre os exemplos de micro-rede DC com barramento comum, destacam-se as topologias com o sistema de armazenamento de energia diretamente ligado ao barramento comum, com o sistema de armazenamento de energia ligado através de um conversor, ou a topologia bipolar. No caso particular das micro-redes DC com sistema de armazenamento de energia diretamente ligado ao barramento comum, a tensão DC dos sistemas de armazenamento de energia não pode ser controlada devido à inexistência de conversores, o que dificulta o controlo da micro-rede. Por outro lado, a inexistência de conversores pode também levar ao surgimento, na rede, de uma corrente parasita devida à dificuldade de coordenação do carregamento da série de baterias [3].

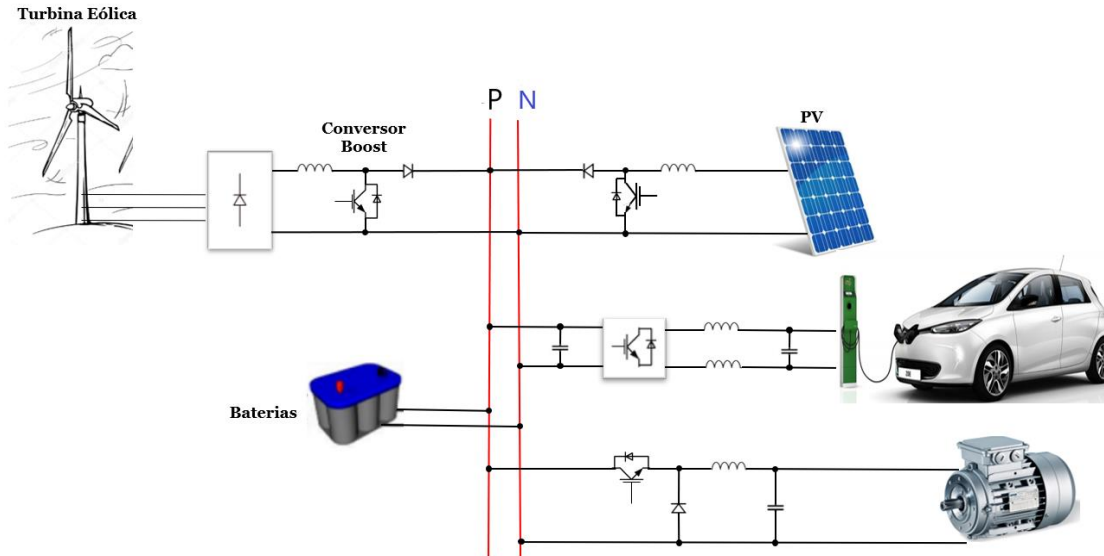


Figura 2.1 - Arquitetura de uma micro-rede DC com um barramento e sistema de armazenamento de energia diretamente ligado ao barramento comum [3].

2.1.1 Ligação à terra

Um sistema de proteção de uma micro-rede DC deve integrar, para além dos dispositivos de proteção contra sobrecorrente, métodos de localização de falhas adequados e ligação à terra.

Qualquer sistema elétrico é definido como um sistema aterrado quando um dos condutores do circuito (positivo ou negativo), está ligado ao sistema de aterramento, que por sua vez está ligado à terra [3], [4].

Os sistemas de descarga para a terra podem apresentar diversos arranjos e têm como objetivos principais detetar falhas pólo-neutro, assegurar a segurança de equipamentos e pessoas e minimizar fugas de corrente para a terra durante a operação normal. Destacam-se os seguintes arranjos de aterramento em sistemas DC:

- **Isolé-Terre (IT):**

No esquema IT, não existe ligação do ponto neutro à terra; apenas as carcaças dos equipamentos são ligadas à terra, conforme mostrado na Figura 2.2. A corrente de falha é muito reduzida devido à elevada resistência no caminho fechado descrito pela corrente de falha, o que o torna uma escolha adequada para reduzir a tensão de contacto sob a primeira falha, mas torna a falha mais difícil de detectar.

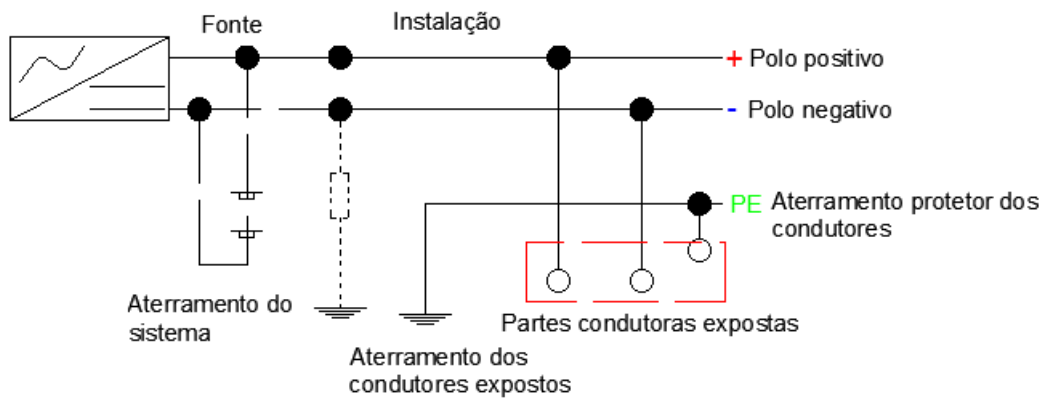


Figura 2.2 - Esquema de ligação à terra IT em micro-redes DC [3].

- **Terre-Neutre (TN):**

O esquema TN é o mais recorrente em sistemas de energia DC. Neste esquema, o ponto médio da linha de distribuição de energia e as partes condutoras expostas dos equipamentos são ligadas à terra. É sub-classificado como TN-C e TN-S. Na Figura 2.3 é apresentado um exemplo de micro-rede onde ambos os esquemas de aterramento são combinados, para obter o máximo proveito das duas configurações. Uma parte do sistema utiliza uma estratégia TN-C (geralmente na ligação da micro-rede DC com a rede AC), enquanto a restante parte do sistema adota uma estratégia TN-S (principalmente no interior da micro-rede DC) [4]. A desvantagem desta tipologia está associada à dificuldade na deteção de falhas caso o condutor neutro se encontre desligado [5].

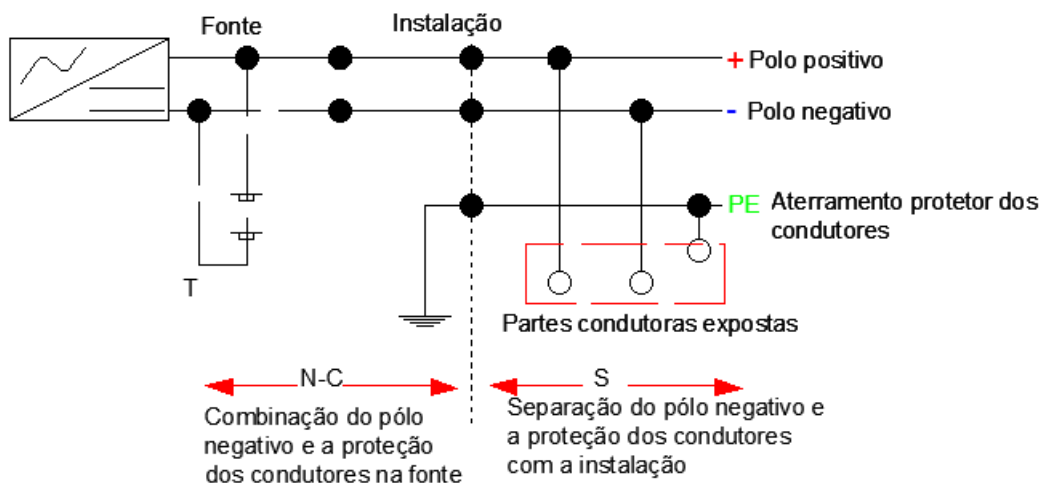


Figura 2.3 - Esquemas de ligação à terra TN em micro-redes DC [5].

- **Terre-Terre (TT):**

Neste esquema, como mostrado na Figura 2.4, um dos pólos e todas as partes condutoras expostas dos equipamentos são ligados separadamente à terra, em vários

pontos da micro-rede DC. O sistema TT é muito eficaz e evita a propagação de falhas a outros pontos da micro-rede. Assume ainda vantagem do ponto de vista da instalação, dada a sua simplicidade. Em contrapartida, apresenta como principal desvantagem o possível surgimento de stress pelo surgimento de tensões de contacto elevadas [5].

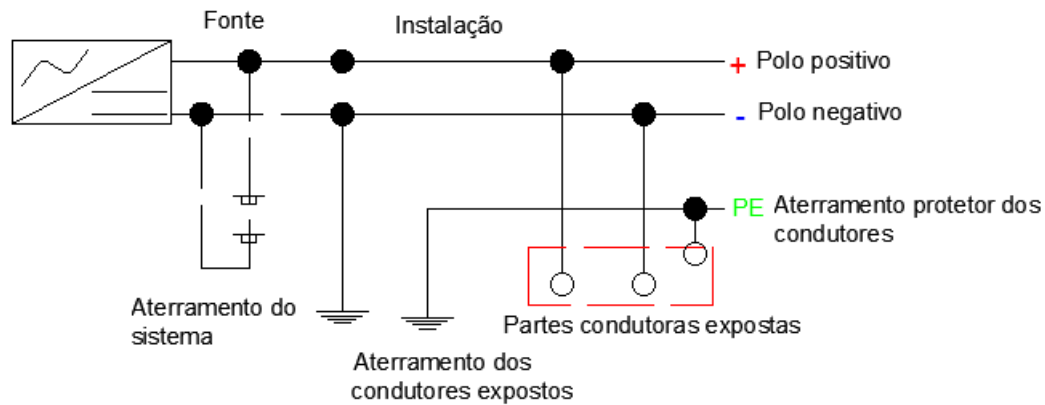


Figura 2.4 - Esquema de ligação à terra TT em micro redes DC [6].

2.2 Tolerância a Falhas

A tolerância a falhas é uma característica crucial em sistemas de energia modernos, garantindo que o sistema continue operacional mesmo na presença de avarias. No caso concreto de sistemas de distribuição de energia DC, a continuidade do funcionamento de todo o sistema de energia depende da configuração da micro-rede, do sistema de aterramento utilizado e, acima de tudo, da utilização de dispositivos de proteção adequados.

Por norma, são considerados quatro aspectos intrínsecos à tolerância a falhas: diagnóstico de avarias; isolamento do componente/elemento com avaria; reconfiguração do sistema e funcionamento pós-reconfiguração.

O diagnóstico da avaria em causa é o primeiro passo a ser considerado. Só depois disso é possível isolar o componente defeituoso e definir as reconfigurações de hardware/software mais adequadas a adotar [7].

No caso concreto de micro-redes DC, as proteções DC assumem um papel fundamental no isolamento dos ramos defeituosos da micro-rede e na eventual aplicação de medidas de reconfiguração. Nesse sentido, a adoção de SSCBs desempenha um papel vital no sentido de assegurar a integridade e continuidade do funcionamento do sistema DC. Os SSCBs, baseados em semicondutores de potência, oferecem tempos de resposta extremamente rápidos para interrupção de correntes de falha, o que reduz significativamente os danos potenciais no sistema e nos equipamentos a si ligados.

Capítulo 3

3

Proteção de Micro-redes DC

O presente capítulo avalia as principais falhas passíveis de ocorrer em micro-redes DC, bem como os mecanismos existentes para mitigar os seus efeitos.

3.1 Falhas em micro-redes DC

De entre os vários tipos de falha passíveis de ocorrer em micro-redes DC, é possível destacar dois deles: falhas de circuito aberto e falhas de curto-circuito.

A falha de circuito aberto ocorre quando, em algum ponto do sistema, há uma desconexão elétrica, fazendo com que a circulação da corrente elétrica seja interrompida. Do ponto de vista da geração de energia, esta falha apresenta impacto significativo, visto que pode afetar desde uma única fonte de energia, um conjunto de módulos, até à totalidade do sistema produção de energia, sendo que o impacto depende da localização da avaria e da topologia do sistema de produção de energia [8]. Tipicamente, verificam-se curto-circuitos em micro-redes DC como resultado do desgaste do isolamento entre condutores elétricos. Neste trabalho, os tipos de curto-circuito que serão estudados são:

- Curto-circuito polo-a-terra;
- Curto-circuito polo-a-polo.

Quando ocorre uma falha entre um dos polos e a terra, resultante de uma falha de isolamento entre um condutor DC e a terra, damos o nome de curto-circuito polo-a-terra - ver a Figura 3.1. Este tipo de falha pode ser de impedância reduzida ou elevada, dependendo da configuração e do tipo de aterramento. As falhas polo-a-terra podem ocorrer no barramento DC ou na carga [9].

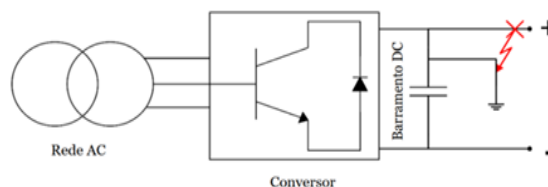


Figura 3.1 - Falha polo-a-terra [5].

Por seu turno, o curto-circuito polo-a-polo ocorre quando existe um contacto por falha no isolamento entre o polo positivo e o polo negativo do sistema DC, como ilustra a

Figura 3.2. Este tipo de falha é, geralmente, de baixa impedância. Desta forma, a amplitude da corrente de falha é tipicamente elevada. Estas falhas podem ocorrer quer no barramento DC, quer nas cargas da micro-rede [10].

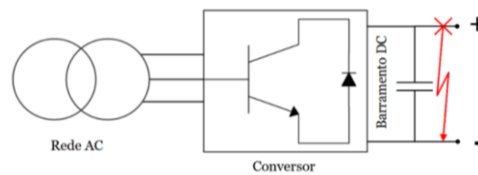


Figura 3.2 - Falha polo-a-polo [5].

3.2 Diagnóstico de avarias e a sua implementação para identificação da falha

A área de controlo tolerante a falhas constitui um desafio à investigação realizada ao longo dos anos sobre a teoria do controlo, no sentido do desenvolvimento de arquitecturas e de metodologias que assegurem, com um elevado grau de segurança, o desempenho e a robustez dos sistemas. A possibilidade de detectar e diagnosticar as falhas que ocorram num sistema e a acomodação dessas mesmas falhas, recorrendo eventualmente à reconfiguração do sistema de controlo, são factores cada vez mais determinantes para o sucesso dum sistema de supervisão e controlo e para a transferência dos resultados da investigação para os processos industriais. A supervisão de processos dinâmicos tem como principais objectivos monitorizar o estado do processo em cada momento, identificando os estados indesejados ou não permitidos, agindo em conformidade para evitar avarias ou mesmo acidentes [11].

Se as falhas forem diagnosticadas atempadamente, será possível, em muitas situações, efetuar a sua acomodação ou, em casos mais críticos, proceder à reconfiguração do processo e do sistema de controlo, de forma a garantir que todo o sistema continua a sua operação em segurança até que sejam efetuadas operações de manutenção (reparação ou substituição) do(s) componente(s) que estiveram na origem da falha.

O processo de diagnóstico de avarias contempla quatro etapas, conforme apresentado na Figura 3.3.

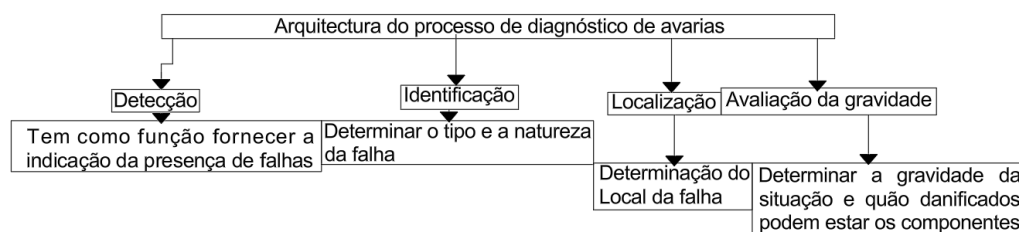


Figura 3.3 – Etapas do processo de diagnóstico de avarias [7].

3.2.1 Métodos de diagnóstico de avarias em micro-redes DC

Uma vez que a manifestação de falhas pode levar toda uma micro-rede DC a um estado de degradação, é importante estudar métodos para diagnosticar falhas de maneira rápida e eficaz. Uma falha no sistema representa a manifestação de defeitos em algum dos seus componentes [11]. Os métodos de diagnóstico de curto-circuitos em micro-redes DC mais conhecidos são:

- **Análise diferencial:**

Este método utiliza a comparação entre o valor da intensidade da corrente elétrica que entra num certo componente e o valor da intensidade da corrente elétrica que sai do mesmo. Os valores são obtidos com recurso a transdutores de corrente (como é o caso de sensores de efeito de Hall). Este método é relativamente insensível ao ruído e outras perturbações provocadas pela falha, sendo, portanto, bastante efetivo. A análise diferencial tem como desvantagens a imposição de um sistema de comunicação, o elevado custo de implementação, a impossibilidade de associar um sistema de proteção de backup e a suscetibilidade a erros na leitura de corrente elétrica por parte dos aparelhos de medição [12], [13].

- **Estimativa de impedâncias da micro-rede DC:**

Neste método, efetua-se a estimativa da impedância desde um determinado ponto até ao ponto onde ocorreu a falha – Estimativa Ativa da Impedância (AIE). Em função da impedância medida e da estimativa da distância à falha que daí resulte, é enviado ao respetivo disjuntor um sinal de acionamento, após um compasso de tempo. Trata-se de um método iterativo, cujo erro no cálculo da distância estimada aumenta com o valor da impedância. Não é adequado para aplicação em sistemas de energia cujos condutores sejam de comprimento reduzido, nem a falhas de elevada impedância [5], [12].

- **Sobrecorrente direcional:**

Trata-se de um método semelhante ao método convencional de análise da sobrecorrente, com a particularidade de envolver a aplicação de um sistema de comunicações para troca de dados entre os sensores que detetam a alteração da amplitude e da direção da corrente. Na fase inicial da falha, é registada a direção de circulação da corrente, sendo essa informação fornecida aos dispositivos de proteção para localização da falha. Os dispositivos necessários atuam de forma seletiva, uma vez que este método permite detetar e também localizar a falha [5], [14].

3.3 Dispositivos de Proteção

A ocorrência de curto-circuitos nestas redes de distribuição de energia pode resultar em valores elevados de correntes transitórias, devido à reduzida impedância dos condutores e à elevada capacitância. Os dispositivos de proteção aplicados em sistemas de energia DC devem cumprir quatro princípios: seletividade, sensibilidade, segurança e rapidez. Neste tópico, apresentam-se as principais classes de dispositivos de proteção contra curto-circuitos em micro-redes DC, a saber:

- Disjuntores de estado sólido (SSCBs);
- Disjuntores híbridos;
- Disjuntores DC mecânicos;
- Fusíveis.

A Tabela 3.1, adaptada de [5], apresenta um resumo das vantagens e desvantagens associadas a cada classe de dispositivo de proteção, que será abordado mais detalhadamente nos subcapítulos seguintes.

Tabela 3.1 - Vantagens e desvantagens dos dispositivos de proteção utilizados em micro-redes DC

Dispositivos de proteção	Vantagens	Desvantagens
<i>Fusível</i>	✓ Facilidade na aplicação.	X Só pode ser utilizado uma vez.
<i>Mecânico</i>	✓ Baixa resistência nos contactos.	X Baixa velocidade de resposta.
<i>Estado sólido (SSCB)</i>	✓ Operação ultrarrápida.	X Perdas de condução elevadas.
<i>Híbrido convencional</i>	✓ Baixas perdas de condução; ✓ Operação com velocidade razoável.	X Comutação da corrente implica ocorrência de arco elétrico.
<i>Híbrido proativo ou com comutação ativa</i>	✓ Rendimento aceitável; ✓ Operação rápida.	X Perdas consideráveis na operação do interruptor de comutação.
<i>Híbrido com auxiliar de comutação</i>	✓ Operação tanto mais rápida quanto maior a taxa de aumento da corrente de falha.	X Perdas significativas na bobina acoplada.
<i>Híbrido com supercondutores de limitação de corrente</i>	✓ Perdas reduzidas; ✓ Capacidade intrínseca de limitar a corrente de falha.	X Necessidade de associar um circuito ressonante ao disjuntor mecânico; X Necessidade de incorporar sistemas de arrefecimento.

3.3.1 Disjuntores de estado sólido (SSCBs)

Os disjuntores de estado sólido (SSCBs) são baseados em dispositivos semicondutores como transístor de efeito de campo metal-óxido, semicondutor (MOSFET), transístor

bipolar de porta isolada (IGBT), tiristor comutável por porta integrada (IGCT) ou transistor de efeito de campo de junção (JFET) [13], [14].

Na sua configuração convencional, este dispositivo de proteção integra um interruptor de estado sólido no caminho principal, um *snubber* e um ramo de absorção de energia para lidar com o transitório de comutação e a energia residual do sistema, respetivamente. Quer o *snubber*, quer o ramo de absorção de energia, encontram-se ligados em paralelo com o interruptor de estado sólido do caminho principal. A estrutura geral deste tipo de proteção é apresentada na Figura 3.4 [13].

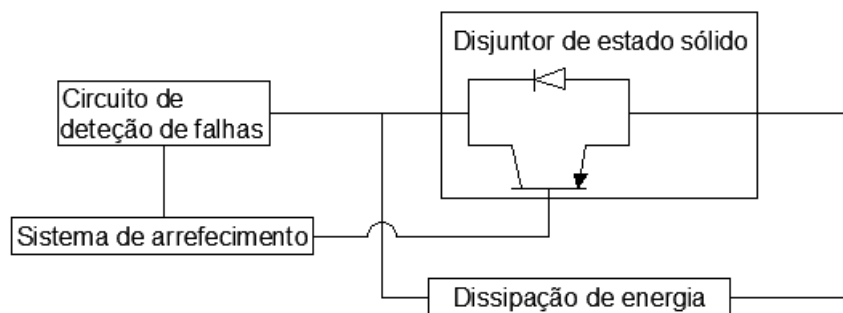


Figura 3.4 - Estrutura básica de um disjuntor de estado sólido [5].

Em comparação com os disjuntores mecânicos convencionais, os SSCBs fornecem operações de comutação mais rápidas e precisas para lidar com transitórios ou defeitos [14]. Os tempos de reação são extremamente curtos, o que os torna ideais como disjuntores DC. Estes dispositivos aumentam a confiabilidade da distribuição dos sistemas, reduzem o tempo de inatividade das micro-redes DC e minimizam possíveis danos na infraestrutura ou em equipamentos consumidores [15]. No entanto, têm como principal desvantagem as elevadas perdas de condução, sobretudo em modo de funcionamento normal, que podem chegar a 30% do valor total das perdas registadas em conversores eletrónicos de potência [16], [17]. Para minimizar essas perdas, podem ser utilizados semicondutores de banda proibida larga, em detrimento dos semicondutores de silício clássicos.

3.3.1.1 Princípios de Funcionamento dos SSCBs

Durante o funcionamento normal da micro-rede DC, em que não se observa qualquer anomalia, a corrente elétrica circula através dos semicondutores do ramo principal. Quando ocorre uma falha e a mesma é sinalizada pelos algoritmos de diagnóstico de avarias implementados no sistema, é dado um comando para que os semicondutores do ramo principal sejam desligados. Nesse momento, a tensão aos terminais destes semicondutores sofre um aumento devido à energia armazenada na indutância de

linha. Também nesta fase, são accionados o snubber e demais componentes de dissipação de energia.

Se não forem utilizados componentes de dissipação de energia, a tensão nos semicondutores da proteção pode atingir valores na ordem das centenas de kV, valores não suportados pelos semicondutores. É por essa razão que são por vezes considerados circuitos *snubber*, ligados em paralelo com os semicondutores [16]. Para além de conter varistores, o ramo de dissipação de energia pode também incluir condensadores e/ou resistências. Este ramo tem ainda a função de limitar a corrente de falha, o que significa que os componentes contíguos aos sistemas de proteção estarão sujeitos a menor stress térmico e magnético [17]. Para limitar a corrente de falha, podem ser utilizados outros métodos [18], [19], como aqueles baseados no efeito térmico da utilização de supercondutores. Os materiais com esta propriedade tornam-se extremamente bons condutores (sem qualquer resistência elétrica) quando atingem valores de temperatura abaixo de determinado valor. A essa temperatura, os eletrões podem deslocar-se livremente. Quando ocorre uma falha, a temperatura aumenta devido ao excesso de corrente que atravessa o supercondutor, passando este a ter propriedades de um isolante comum, com maior resistência elétrica, limitando, assim, a corrente de falha [20], [21]. Considerando os princípios de funcionamento dos supercondutores, a utilização destes como forma de limitar a corrente torna-se pouco prática e dispendiosa, já que é necessário um sistema de arrefecimento volumoso e complexo. Outra alternativa para limitar a corrente passa pela utilização de uma estratégia de controlo impulso por impulso, na qual se controla o sinal de entrada na *gate* dos semicondutores, por forma a restringir a corrente de falha a um certo intervalo de valores [5].

3.3.1.2 Classificação de SSCBs

Os SSCBs podem ser classificados em função do tipo de energia residual, da sequência de comutação ou da forma como mitigam a falha. Entre as diversas configurações existentes na literatura, destacam-se as topologias de interrupção, de limitação de corrente, resistivas e ressonantes [13], [22], [23].

- **Topologias de Interrupção**

Esta topologia tem a estrutura geral mostrada na Figura 3.5. Destaca-se pelo facto de dissipar a energia residual usando um varistor de óxido de metal e um *snubber* em paralelo com o interruptor principal. Esta topologia é amplamente estudada em muitas aplicações. Para minimizar as perdas, alguns autores sugerem a utilização de

semicondutores de carbono de silício em detrimento de semicondutores de silício [15], [24].

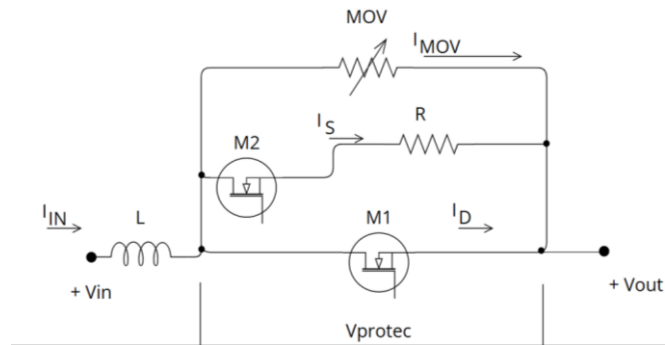


Figura 3.5 - Topologia de interrupção [15].

- **Topologias limitadoras**

As topologias limitadoras usam um ramo de ligação entre polos, que atua como roda livre para dissipar a energia indutiva armazenada no sistema. Esta topologia limita os picos de tensão observados no dispositivo semicondutor principal. A Figura 3.6 mostra a estrutura geral desta topologia [15].

Para esta configuração, o ramo do varistor pode ou não contemplar a inserção de um semicondutor ativo, com o objetivo de mitigar o risco de ocorrência de corrente de fugas através do varistor, nomeadamente durante o funcionamento normal da micro-rede DC.

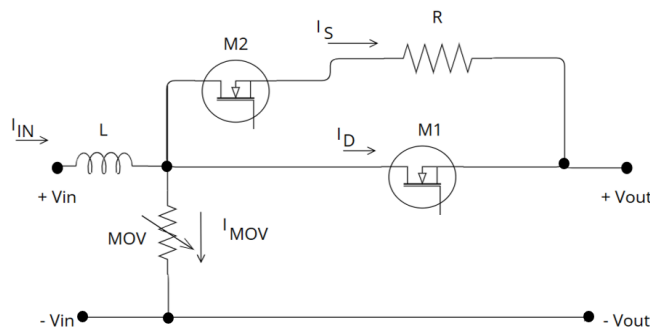


Figura 3.6 – Topologia limitadora [15].

- **Topologias resistivas**

Nestas topologias, os semicondutores ativos da proteção são controlados de forma a transformar o SSCB numa resistência que dissipa a energia residual armazenada na indutância parasita da rede DC. A principal desvantagem desta topologia é o controlo complicado, que torna o SSCB menos fiável [15].

- **Topologias ressonantes**

Os SSCBs ressonantes usam componentes LC para assegurar a passagem da corrente por zero. O princípio é o mesmo daquele utilizado pelos disjuntores mecânicos para minimizar o arco. Esta topologia é amplamente utilizada para aplicações LVDC, devido ao volume reduzido e à ação rápida, sobretudo em sistemas de energia de baixa tensão [19], [25], [26]. A Tabela 3.2, adaptada de [15], mostra as vantagens e desvantagens das topologias estudadas nesta subsecção.

Tabela 3.2 - Vantagens e desvantagens das topologias de SSCBs.

Topologias	Vantagens	Desvantagens
<i>Interrupção</i>	<ul style="list-style-type: none"> • Muito rápida (0.8–70 μs) • Controlo simples • Bem documentada 	<ul style="list-style-type: none"> • Perdas mais elevadas • Muito dependente da sensorização e da coordenação inicial
<i>Limitadoras</i>	<ul style="list-style-type: none"> • Menores perdas • Corrente de falha não refletida para a fonte • Pode reduzir a necessidade de bobinas limitadoras de corrente e a capacidade de interrupção 	<ul style="list-style-type: none"> • Lento (150–2500 μs) • Controlo complicado • Muito dependente da sensorização e da coordenação inicial • Não está bem documentada
<i>Resistivas</i>	<ul style="list-style-type: none"> • Pode ser rápida (20–900 μs) • Não são necessários <i>snubbers</i> • Menor tensão e corrente de pico 	<ul style="list-style-type: none"> • Controlo complicado • Muito dependente da sensorização e da coordenação inicial
<i>Ressonantes</i>	<ul style="list-style-type: none"> • Menos perdas • Controlo simples • Não são necessários <i>snubbers</i> • Bem documentada 	<ul style="list-style-type: none"> • Lenta (200–4000 μs) • Coordenação limitada • Pode ativar inadvertidamente durante mudanças de carga

3.3.2 Disjuntores híbridos

As topologias de disjuntores DC híbridos combinam características do disjuntor mecânico e do disjuntor de estado sólido [15]. A ABB desenvolveu o primeiro protótipo de disjuntor DC híbrido do mundo, com uma capacidade de interrupção de 9 kA, em 2012. Já em 2014, o Southern Power Grid Research Institute desenvolveu um protótipo com capacidade de interrupção de 16 kA [12], [27].

3.3.2.1 Constituição e Funcionamento dos Disjuntores DC Híbridos

Tipicamente, os disjuntores DC híbridos são compostos por interruptores mecânicos de vácuo, Transístores Bipolares de *Gate* Isolada (IGBTs) ou semicondutores ativos equivalentes e por circuitos de absorção de energia. Desta combinação de tecnologias, resulta a combinação de capacidade de resposta rápida do dispositivo de comutação de

estado sólido e as perdas por condução praticamente nulas das unidades de comutação mecânica [19].

Como se pode ver na Figura 3.7, um disjuntor híbrido tem dois interruptores mecânicos incorporados: o interruptor principal e o interruptor de isolamento. O interruptor principal é ligado em paralelo com o circuito de comutação, composto por semicondutores e elementos de dissipação de energia. O circuito de comutação só intervém durante o processo de interrupção. Tal processo pode ser dividido em três fases: abertura de contactos, momento de dissipação de energia e interrupção da falha [13].

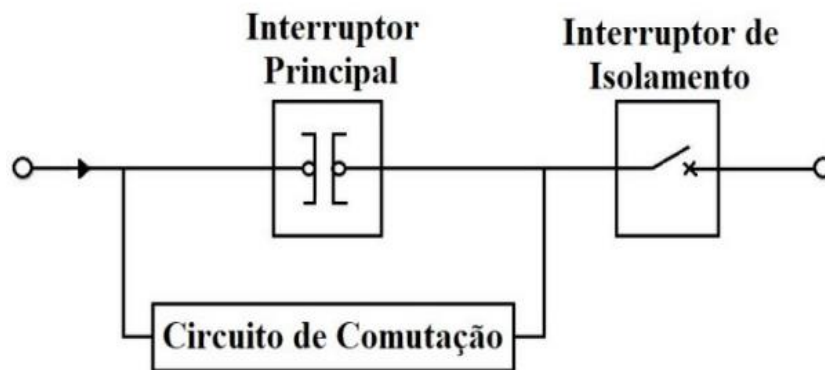


Figura 3.7 - Esquema de um disjuntor DC híbrido [13].

Os disjuntores híbridos podem assumir diferentes arquiteturas. A Figura 3.8 mostra um exemplo de disjuntor híbrido, onde são usados fototransístores como componentes semicondutores. Estes encontram-se montados em grandes cadeias ligadas em série para suportar uma grande tensão de bloqueio. Na presença de correntes elevadas, a eficácia no processo de atração de eletrões a partir do emissor é muito reduzida. Portanto, o fototransístor não foi considerado adequado para aplicações de disjuntores híbridos para interrupção de correntes elevadas [13],[28].

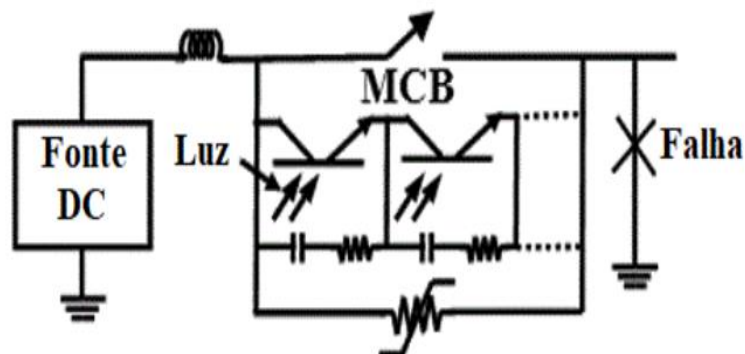


Figura 3.8 - Disjuntor híbrido com aplicação de fototransístores [13].

Em situações de utilização de disjuntores híbridos a grandes altitudes e baixa pressão, observa-se que a mobilidade do arco elétrico é baixa. Assim sendo, há muita dificuldade em aplicar este tipo de disjuntores nessas circunstâncias. Para essas aplicações, o peso e o volume são fatores importantes e decisivos no projeto do disjuntor [13].

3.3.3 Disjuntor DC mecânico

O princípio de funcionamento dos disjuntores mecânicos baseia-se na criação de oscilação da corrente elétrica, através da utilização de circuitos ressonantes (LC), o que permite a criação de instantes de passagem da corrente elétrica pelo valor nulo. São compostos por um disjuntor mecânico convencional, de arquitetura idêntica àqueles utilizados em AC, ligado em paralelo com um circuito ressonante. O seu tempo de resposta varia entre 30 ms e 100 ms, o que torna este tipo de disjuntor pouco aconselhável para micro-redes DC [4].

A estrutura geral do disjuntor mecânico é apresentada na Figura 3.9. O disjuntor consiste em três ramos: 1) ramo principal, incluindo um interruptor de vácuo mecânico de elevada velocidade (S); 2) o ramo ressonante paralelo (L, C, Sr); e 3) o ramo de absorção de energia (tipicamente constituído por um varistor). O ramo ressonante é ativado quando ocorre a falha. Para a solução passiva, apresentada na Figura 3.9 (a), o interruptor Sr ativa quando se forma um arco elétrico no interruptor mecânico principal. Por outro lado, a Figura 3.9 (b) mostra a solução ativa, em que um condensador pré-carregado descarrega, criando a oscilação de corrente quando a falha ocorre. As principais características deste disjuntor são as perdas limitadas e o custo reduzido, permitindo a sua instalação em grande escala em sistemas DC. No entanto, o interruptor principal deve utilizar um meio com elevada resistência de isolamento, como ar, vácuo e hexafluoreto de enxofre (SF₆). A principal desvantagem destas topologias é o tempo de resposta lento. Por conseguinte, esta topologia só é eficaz quando combinada com dispositivos limitadores de correntes de falha ou outros disjuntores mais rápidos [4], [23].

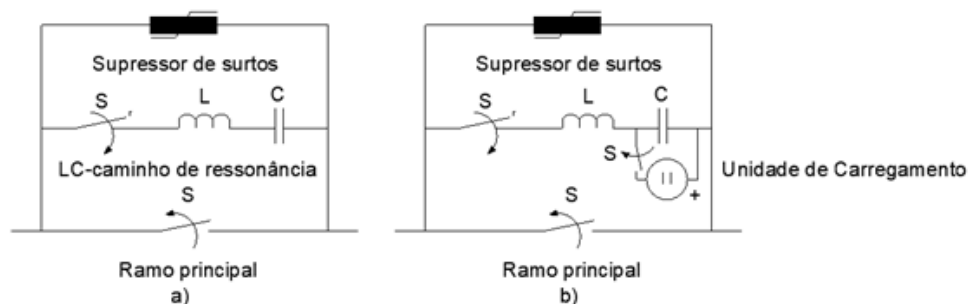


Figura 3.9 - Estrutura geral de um disjuntor mecânico. a) Disjuntor de ressonância passiva; b) Disjuntor de ressonância ativa [15].

3.3.4 Fusíveis

Os fusíveis são responsáveis por garantir a segurança de circuitos elétricos em geral contra sobrecorrentes e correntes de curto-circuito. Têm como princípio de funcionamento a fusão de um elemento condutor quando atravessados por uma corrente que esteja acima do valor nominal especificado.

Os fusíveis específicos de circuitos fotovoltaicos são do tipo gPV e apresentam como característica a proteção contra sobrecorrente e correntes de curto-circuito. A designação 'PV' refere-se à capacidade dos fusíveis para operar em circuitos DC com valores de tensão típicos de sistemas PV e apresentam corrente de não-fusão de 1.13 vezes a corrente nominal e corrente de fusão em tempo convencional (1 hora) de 1.35 vezes a corrente nominal [13].



Figura 3.10 - Porta fusíveis e fusíveis de proteção [13].

Capítulo 4

4

Simulação de Disjuntores de Estado Sólido (SSCBs)

Dada a adequabilidade de SSCBs para micro-redes DC em baixas tensões, conjugada com a multiplicidade de configurações disponíveis e o conhecimento pouco aprofundado relativamente a algumas das topologias em causa, este trabalho estuda algumas das topologias mais recorrentes de SSCBs, por fornecerem operações de comutação mais rápidas e precisas para lidar com transitórios ou defeitos em sistemas de energia DC. Isso aumenta a fiabilidade das micro-redes DC, reduz o tempo de inatividade e minimiza possíveis danos na infraestrutura elétrica e nos consumidores [29], [30].

Para analisar o funcionamento das topologias de SSCBs selecionadas, cada topologia foi integrada num circuito DC simples, conforme representado na Figura 4.1. O circuito foi simulado em ambiente MATLAB/Simulink.

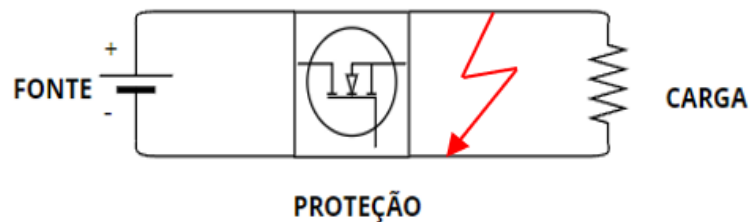


Figura 4.1 - Circuito DC de ensaio das proteções.

Para os testes efectuados, envolvendo as topologias de interrupção (Figura 4.2) e limitadora (Figura 4.3) foram considerados os parâmetros listados na Tabela 4.1.

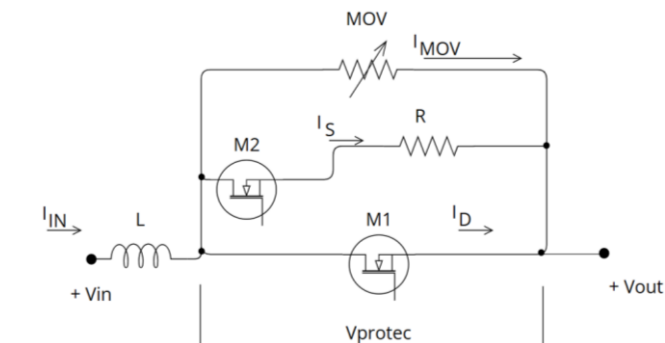


Figura 4.2 - Topologia de interrupção.

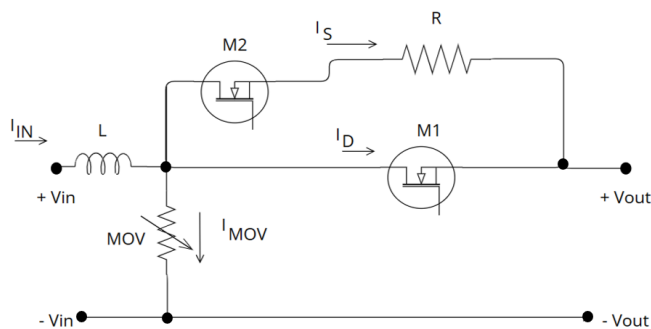


Figura 4.3 - Topologia limitadora.

Tabela 4.1 – Parâmetros da simulação.

Parâmetro	Nomenclatura	Valor
V_{in}	Tensão de alimentação	100 V
V_{ref}	Tensão limite do varistor	150 V, 200 V, 450 V, 600 V
I_{in}	Corrente de alimentação	5 A
R_C	Resistência de carga	20 Ω
R_{CC}	Resistência de curto-circuito	0.01 Ω
L	Indutância de linha	5 mH

Em cada topologia, são avaliados os parâmetros listados na Tabela 4.2.

Tabela 4.2 – Parâmetros de avaliação do desempenho de SSCBs.

Parâmetro	Nomenclatura
$I_{MOV_{max}}$	Corrente máxima no varistor
$I_{S_{max}}$	Corrente máxima no snubber
$I_{D_{max}}$	Corrente máxima no semicondutor do ramo principal
$V_{M1_{max}}$	Tensão máxima no semicondutor do ramo principal
$V_{protec_{max}}$	Tensão máxima na proteção
$V_{M2_{max}}$	Tensão máxima no semicondutor do snubber
E_{MOV}	Energia dissipada no varistor
E_S	Energia dissipada no snubber
$P_{MOV_{max}}$	Potência máxima no varistor
$P_{S_{max}}$	Potência máxima no snubber

Enquanto as correntes e tensões elétricas são obtidas através de medição direta, as potências e energias são derivadas a partir de grandezas medidas diretamente. Apresenta-se, seguidamente, a formulação adoptada no cálculo das potências e energias de relevo.

$$P_{MOV} = V_{MOV} \times I_{MOV} \quad (4.1)$$

$$P_S = V_S \times I_S \quad (4.2)$$

$$E_{MOV} = \int_{t_0}^{t_1} P_{MOV} dt \quad (4.3)$$

$$E_S = \int_{t_0}^{t_1} P_S dt \quad (4.4)$$

onde t_0 e t_1 representam os instantes de ocorrência da falha e de fim da interrupção da falha.

Importa também referir que os valores de potências e energias tabelados nas secções seguintes são aqueles observados no intervalo de tempo em que se dá a operação de interrupção da falha.

4.1 Topologias selecionadas e resultados de simulação

As topologias contempladas no estudo são aquelas mais comumente descritas na literatura científica. Desta forma, foram simuladas, em MATLAB/Simulink, 6 topologias, a saber:

- Topologia de interrupção com resistência (TIR);
- Topologia de interrupção com condensador e resistência (TIRC);
- Topologia de interrupção com condensador (TIC);
- Topologia limitadora com resistência (TLR);
- Topologia limitadora com circuito RC paralelo (TLRC);
- Topologia limitadora sem resistência (TLR).

4.1.1 Topologia de interrupção com resistência (TIR)

Conforme apresentado na Figura abaixo, esta configuração é composta por um varistor de óxido metálico e um ramo de comutação, composto por um IGBT e uma resistência, em paralelo com o interruptor principal. Quando a corrente que circula no ramo principal é mais elevada que a estabelecida de fabrico, o interruptor principal abre, e em simultâneo o snubber fecha, e só no momento da abertura do snubber é que a corrente começa a circular pelo varistor.

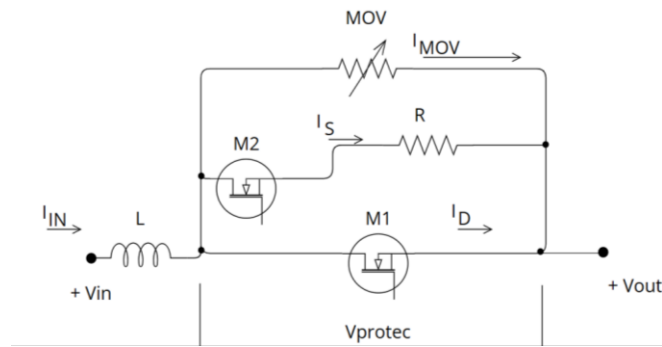


Figura 4.4 - Topologia de interrupção.

Esta topologia caracteriza-se por ter:

- Melhor controlo sobre os picos de tensão;
- Menor stress sobre os componentes da proteção;
- Menor variação dos valores de tensão e corrente nos componentes da proteção;
- Resposta lenta quando a resistência do *snubber* é elevada;
- Dependendo dos valores de resistência do *snubber*, os valores de tensão e corrente podem atingir picos muito significativos.

Os gráficos apresentados na Figura 4.5 a Figura 4.9, para a configuração TIR, são baseados nos valores destacados a negrito na Tabela 4.3.

Tabela 4.3 - Topologia de Interrupção com Resistência

TIR	Resultados		
	Vref = 200 V	Vref = 450 V	Vref = 600 V
$I_{MOV_{max}}$	4.89 A	4.62 A	4.54 A
$I_{S_{max}}$	10.55 A	11.98 A	11.98 A
$I_{D_{max}}$	12 A	12 A	12 A
$V_{M1_{max}}$	235.1 V	522.2 V	691 V
$V_{protec_{max}}$	235.1 V	522.2 V	691 V
$V_{M2_{max}}$	235 V	522.1 V	690.8 V
E_{MOV}	0.131 J	0.077 J	0.076 J
E_S	4.42 J	4.43 J	4.67 J
$P_{MOV_{max}}$	1147 W	2417 W	3098 W
$P_{S_{max}}$	2225 W	2868 W	2868 W

É possível observar, com base nos resultados da Tabela 4.3, que a energia dissipada no varistor diminui com o aumento da tensão limite deste componente, o que se justifica pelo aumento da tensão a partir da qual o varistor atua. Em contrapartida, a energia dissipada pelo snubber aumenta à medida que a tensão limite do varistor (V_{ref}) aumenta. A energia no sistema é relativamente constante, mas ligeiramente maior para $V_{ref} = 600$ V.

De notar que, para $V_{ref} = 200$ V, se observa a atuação do varistor em 2 momentos distintos: 1) aquando da comutação do ramo principal para o ramo de comutação; e 2) aquando da inibição da condução no ramo de comutação. Esta constatação indica que a

tensão limite do varistor deve ser incrementada, visando evitar a entrada à condução deste elemento na fase de comutação. De notar, porém, que a variação na tensão limite do varistor terá impacto nas tensões de pico aplicadas quer ao semiconductor do ramo principal, quer ao semiconductor do ramo de comutação.

A potência máxima no varistor aumenta significativamente com a tensão de referência, o que é consistente com as maiores correntes e tensões. A potência máxima no sistema é relativamente constante para $V_{ref} = 450\text{ V}$ e $V_{ref} = 600\text{ V}$, mas menor para $V_{ref} = 200\text{ V}$.

Atentando aos resultados apresentados na Figura 4.5 a Figura 4.9, percebe-se claramente que são as tensões nos semicondutores (V_{protec} e V_{M2}), bem como a corrente no varistor I_{MOV} , os parâmetros que sofrem maiores variações como consequência do aumento de V_{ref} . Também é perceptível, sobretudo nos resultados apresentados na Figura 4.6, que a topologia em questão assume limitações ao nível da comutação, permitindo que corrente flua no ramo de comutação por períodos alargados.

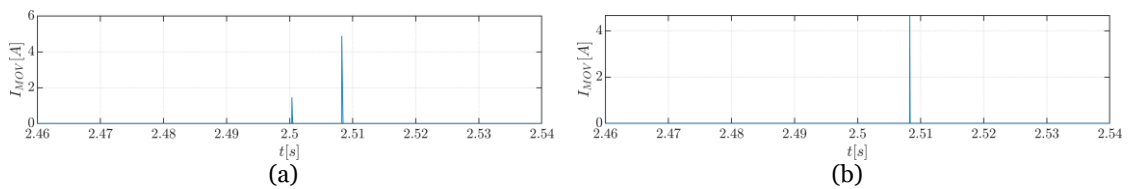


Figura 4.5 - Corrente no varistor: (a) $V_{ref} = 200\text{ V}$; (b) $V_{ref} = 450\text{ V}$.

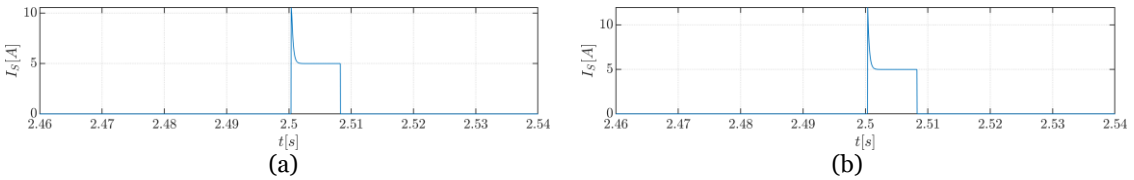


Figura 4.6 - Corrente no snubber: (a) $V_{ref} = 200\text{ V}$; (b) $V_{ref} = 450\text{ V}$.

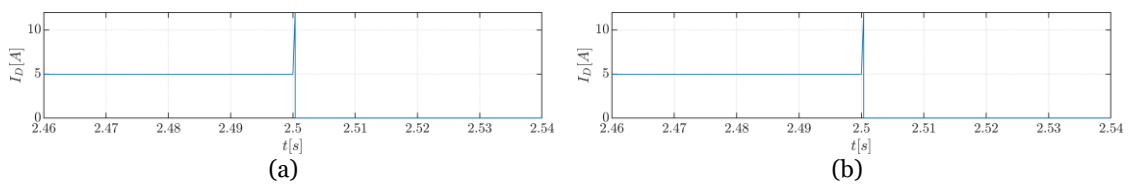


Figura 4.7 - Corrente no ramo principal: (a) $V_{ref} = 200\text{ V}$; (b) $V_{ref} = 450\text{ V}$.

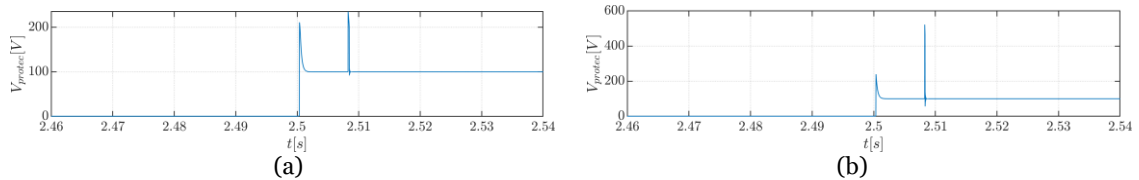


Figura 4.8 - Tensão no ramo principal e no varistor: (a) $V_{ref} = 200\text{ V}$; (b) $V_{ref} = 450\text{ V}$.

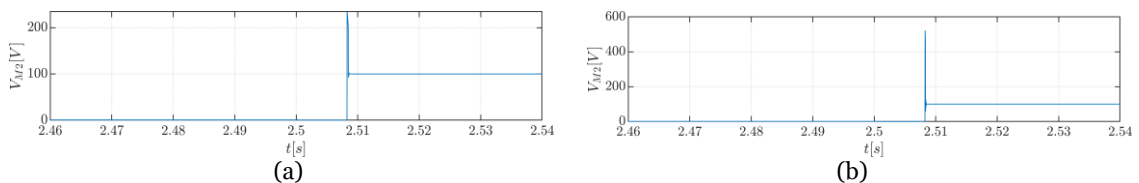


Figura 4.9 - Tensão no semiconductor do snubber: (a) $V_{ref} = 200\text{ V}$; (b) $V_{ref} = 450\text{ V}$.

4.1.2 Topologia de interrupção sem resistência (TIRC)

Esta topologia, apresentada na Figura 4.10, é composta por um varistor de óxido metálico e um ramo de comutação, composto por um IGBT, uma resistência e um condensador, em paralelo com o interruptor principal. Esta configuração apresenta:

- Resposta rápida quando a resistência é de menor valor;
- Melhor controlo sobre os picos de tensão nos componentes;
- Menor stress sobre os componentes;
- Menor variação das tensões e correntes;
- Controlo complicado;
- Devido à quantidade de componentes, pode vir a ter um custo mais elevado em relação a outras topologias;
- Resposta lenta quando a resistência no *snubber* é elevada.

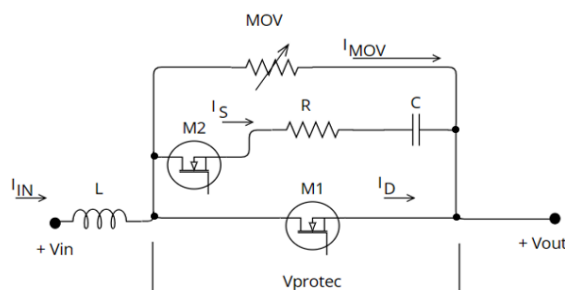


Figura 4.10 - Topologia de interrupção com resistência e condensador.

A Tabela 4.4 apresenta os resultados de simulação obtidos aquando da variação da resistência e capacitância do *snubber*. De referir que a tensão limite do varistor se mantém em ambos os cenários.

Importa também referir que o cenário apresentado na segunda coluna da Tabela 4.4 foi também validado experimentalmente. Os resultados experimentais correspondentes são reportados na Tabela 5.6.

Tabela 4.4 - Topologia de Interrupção com Resistência e Condensador

TIRC	Resultados		
	R = 400 Ω, C = 220 μF Vref = 150 V	R = 30 Ω, C = 50 μF Vref = 200 V	R = 20 Ω, C = 10 μF Vref = 200 V
I _{MOVmax}	11.41 A	4.32 A	3.16 A
I _{Smax}	0.526 A	7.66 A	10.41 A
I _{Dmax}	11.99 A	12.04 A	12.03 A
V _{M1max}	210.5 V	231.3 V	223.8 V
V _{protecmax}	210.5 V	231.3 V	228.8 V
V _{M2max}	132.9 V	5.62 V	0.51 V
E _{MOV}	0.729 J	0.147 J	0.247 J
E _S	0.434 J	0.785 J	0.426 J
P _{MOVmax}	2398 W	997 W	708.6 W
P _{Smax}	110.6 W	1771 W	2215 W

Analisando os dados da Tabela 4.4, resulta desde logo evidente que a aplicação de um snubber do tipo RC limita a quantidade de energia a dissipar pelo varistor, assumindo assim uma vantagem importante em relação à topologia TIR. Os dados mostram que a configuração com $R = 20 \Omega$ e $C = 10 \mu\text{F}$ resulta em correntes máximas menores no varistor, mas tensões e potências máximas muito maiores. Isso sugere que essa configuração impõe um maior stress nos componentes de proteção, especialmente no varistor e nos semicondutores. Por outro lado, para $R = 30 \Omega$ e $C = 50 \mu\text{F}$, observam-se correntes mais elevadas no disjuntor, mas tensões e potências menores, indicando um comportamento mais equilibrado e menos agressivo durante a falha.

Os gráficos apresentados na Figura 4.11 a Figura 4.15, para a configuração TIRC, são baseados nos valores destacados a negrito na Tabela 4.4. Em todos os parâmetros analisados, é clara a vantagem desta topologia em relação à TIR, também ao nível do tempo de resposta e de conclusão do processo de interrupção da corrente de falha.

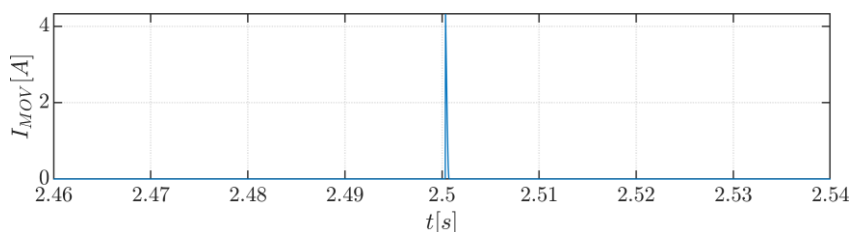


Figura 4.11 - Corrente no varistor.

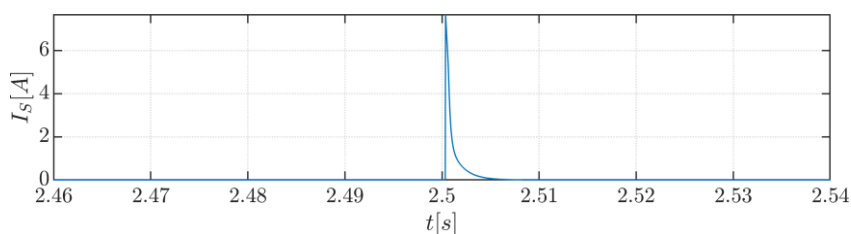


Figura 4.12 - Corrente no snubber.

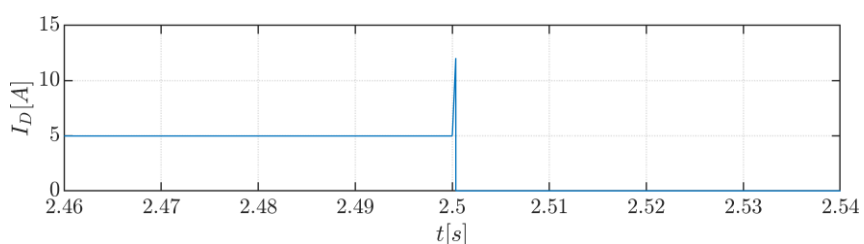


Figura 4.13 - Corrente no ramo principal.

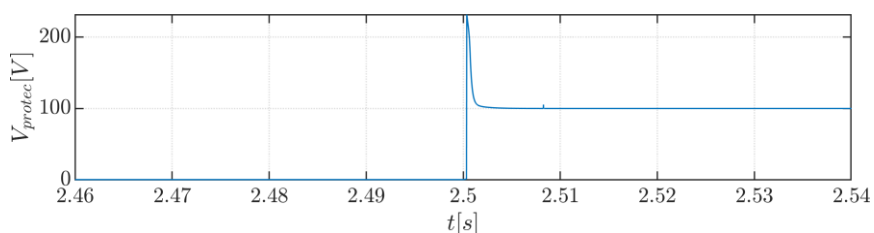


Figura 4.14 - Tensão no ramo principal e no varistor.

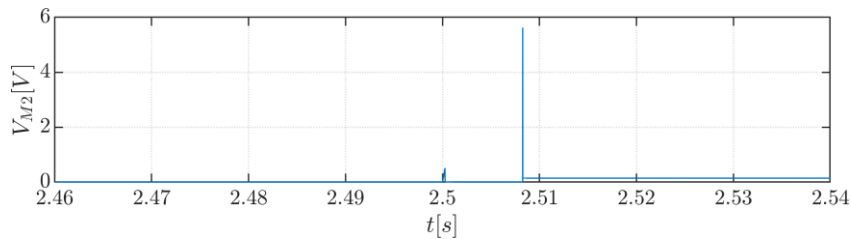


Figura 4.15 - Tensão no semicondutor do *snubber*.

4.1.3 Topologia de interrupção com condensador (TIC)

A Figura 4.16 representa a configuração TIC, que é composta por um varistor de óxido de metal e um ramo de comutação, composto por um IGBT e um condensador, em paralelo com o interruptor principal. Esta configuração apresenta as seguintes características:

- Resposta rápida quando a capacitância é reduzida;
- Melhor controlo sobre os picos de tensão;
- Menor stress sobre os componentes;
- Controlo complicado, resultante de aplicação de condensadores.

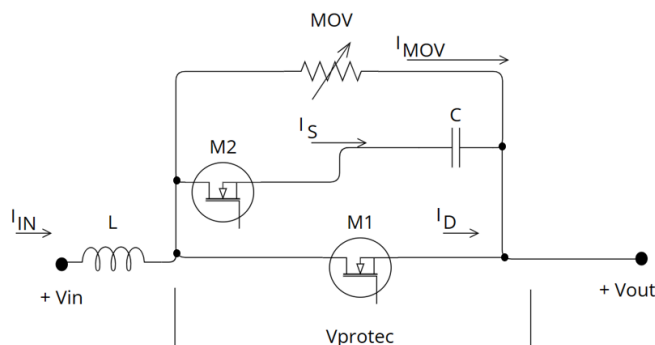


Figura 4.16 - Topologia de Interrupção com condensador.

A Tabela 4.5 apresenta os resultados de simulação obtidos aquando da variação da capacitância do *snubber*. De referir que a tensão limite do varistor se mantém em ambos os cenários.

Tabela 4.5 - Topologia de interrupção com condensador

Grandezas a medir	Resultados	
	C = 50 μ F Vref = 200 V	C = 10 μ F Vref = 200 V
$I_{MOV_{max}}$	4.47 A	8.25 A
$I_{S_{max}}$	15.62 A	12.88 A
$I_{D_{max}}$	11.96 A	12.04 A
$V_{M1_{max}}$	232.9 V	259.2 V
$V_{protec_{max}}$	232.9 V	259.2 V
$V_{M2_{max}}$	94.43 V	85.1 V
E_{MOV}	0.553 J	0.637 J
E_S	1.154 J	0.319 J
$P_{MOV_{max}}$	1042 W	2138 W
$P_{S_{max}}$	2411 W	2316 W

É possível notar pela Tabela 4.5, que a energia dissipada no MOV é maior nas configurações TIC, especialmente quando $C = 50 \mu\text{F}$. Tal justifica-se pela ausência, no ramo de comutação, de um elemento de dissipação de energia. O facto de o condensador C poder não descarregar a energia acumulada durante o evento de falha leva à persistência de tensões aos terminais dos componentes da protecção, nomeadamente do IGBT M2.

Os gráficos apresentados na Figura 4.17 a Figura 4.21, para a configuração TIC, são baseados nos valores destacados a negrito na Tabela 4.5. Nos resultados apresentados, torna-se evidente a introdução de um período de oscilação e instabilidade nas grandezas elétricas observadas na protecção, que pode inclusivamente levar à ativação repetitiva do varistor – ver Figura 4.17. A entrada em condução, de forma repetitiva, do varistor é um fator potenciador da degradação deste componente, o que significa que a adoção de um snubber puramente capacitivo é desencorajada.

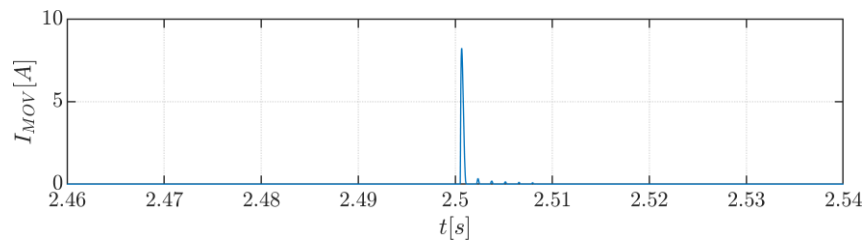


Figura 4.17 - Corrente no varistor.

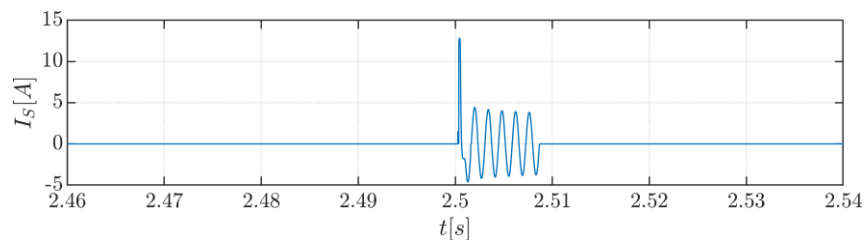


Figura 4.18 - Corrente no snubber.

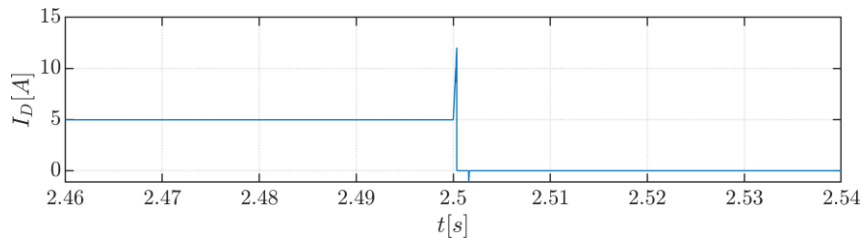


Figura 4.19 - Corrente no ramo principal.

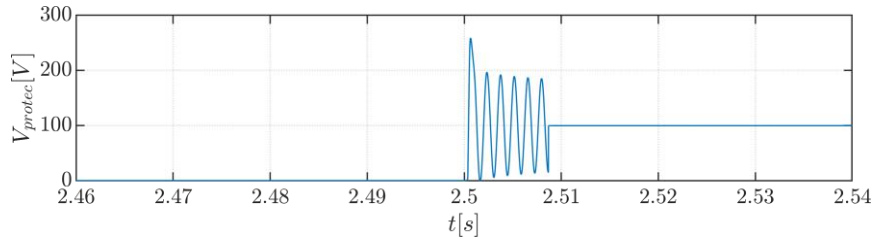


Figura 4.20 - Tensão no ramo principal e no varistor.

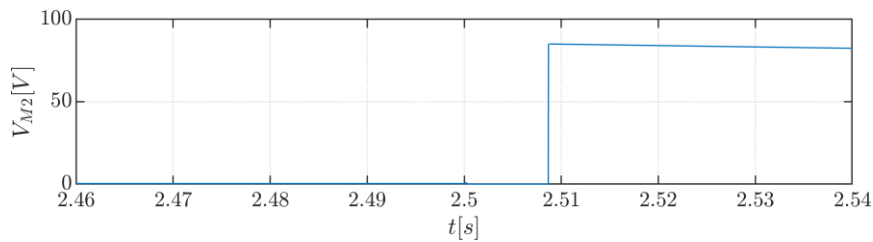


Figura 4.21 - Tensão no semiconductor do snubber.

4.1.4 Topologia limitadora com resistência (TLR)

Esta configuração, apresentada na Figura 4.21, é composta por um semiconductor principal e por um ramo de comutação, constituído por um IGBT e uma resistência. Este ramo encontra-se ligado em paralelo com o semiconductor principal. Por sua vez o varistor encontra-se ligado entre os dois polos dos sistema DC.

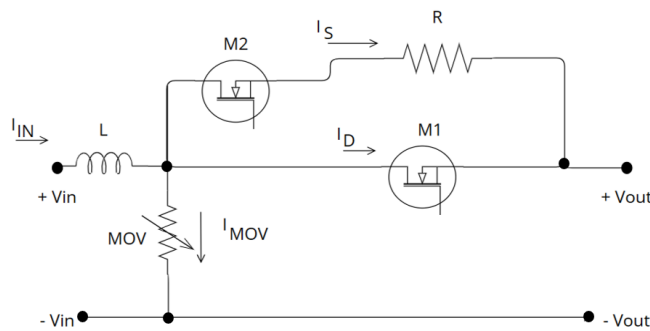


Figura 4.22 - Topologia Limitadora.

Apresenta as seguintes características:

- Menor dissipação de energia na proteção;
- Corrente de falha não refletida para a fonte;
- Menor stress sobre os semicondutores;
- Controlo complicado.

A Tabela 4.6 apresenta os resultados de simulação obtidos para a topologia TLR, em função da variação da tensão limite do varistor.

Tabela 4.6 - Topologia limitadora com resistência

TLR	Resultados		
	R = 20 Ω Vref = 200 V	R = 20 Ω Vref = 450 V	R = 20 Ω Vref = 600 V
$I_{MOV_{max}}$	4.89 A	4.67 A	4.54 A
$I_{S_{max}}$	10.54 A	11.98 A	11.98 A
$I_{D_{max}}$	12 A	12 A	12 A
$V_{M1_{max}}$	235.1 V	522.2 V	691.0 V
$V_{protec_{max}}$	235.1 V	522.2 V	691.0 V
$V_{M2_{max}}$	235 V	522.1 V	690.8 V
E_{MOV}	0.154 J	0.087 J	0.080 J
E_S	4.669 J	4.679 J	4.680 J
$P_{MOV_{max}}$	1147 W	2417 W	3098 W
$P_{S_{max}}$	2223 W	2868 W	2868 W

Os resultados apresentados na Tabela 4.6 mostram níveis manifestamente reduzidos de energia dissipada no varistor. Para além disso, a energia dissipada no varistor diminui com o aumento da tensão de referência, à custa do aumento da potência máxima no snubber e no varistor. Como já foi referido anteriormente, níveis extremamente elevados de potência máxima indicam que os respetivos componentes são sujeitos a elevado stress durante o processo de comutação.

Os gráficos apresentados na Figura 4.23 a Figura 4.28, para a configuração TLR, são baseados nos valores destacados a negrito na Tabela 4.6. Tal como na topologia TIR, a topologia em questão assume limitações ao nível da comutação, permitindo que corrente flua no ramo de comutação por períodos alargados – ver Figura 4.25.

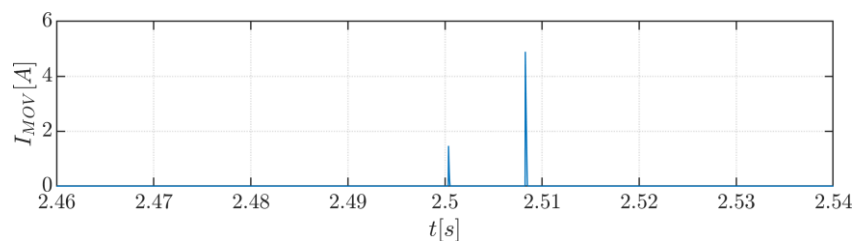


Figura 4.23 - Corrente no varistor.

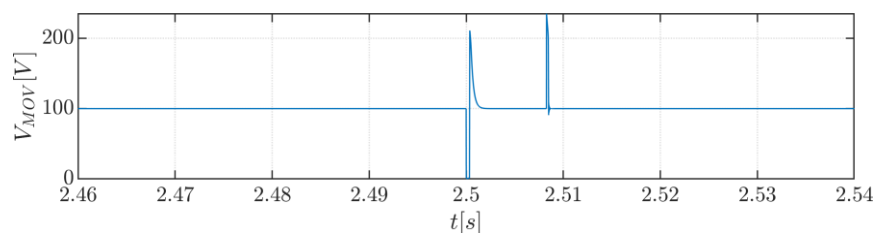


Figura 4.24 - Tensão no varistor.

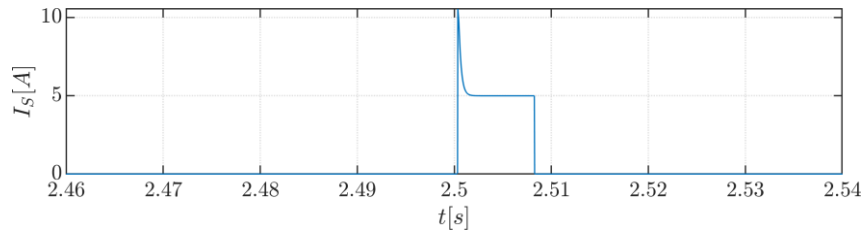


Figura 4.25 - Corrente no snubber.

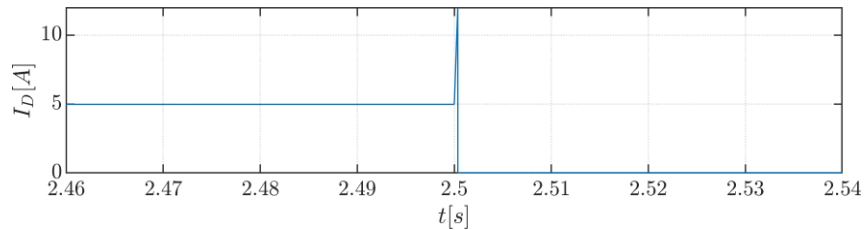


Figura 4.26 - Corrente no ramo principal.

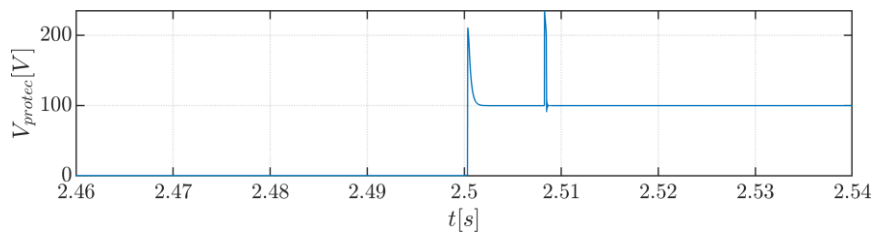


Figura 4.27 - Tensão no ramo principal.

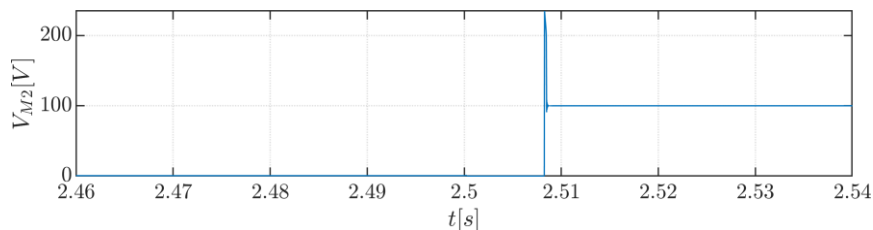


Figura 4.28 - Tensão no semiconductor do snubber.

4.1.5 Topologia limitadora com circuito RC (TLRC)

Tal como a configuração TLR, os terminais do varistor encontram-se ligados os dois polos da rede DC. Para além do varistor, é utilizado um circuito RC, em paralelo com o varistor. Esta topologia, apresentada na Figura 4.25, assume as seguintes características:

- Resposta rápida quando a resistência do *snubber* é reduzida;
- Melhor controlo sobre os picos de tensão;
- Menor stress sobre os componentes;
- Menor variação das tensões e corrente aplicadas aos componentes da protecção;
- Devido à quantidade de materiais, pode vir a ter um custo mais elevado em relação a outras topologias;
- Resposta lenta quando a resistência do *snubber* é elevada.

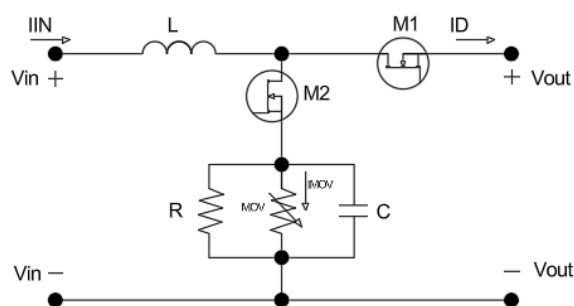


Figura 4.29 - Topologia limitadora com o circuito RC em paralelo com o varistor.

A Tabela 4.7 apresenta os resultados de simulação obtidos para a topologia TLRC, em função dos constituintes do *snubber*.

Importa também referir que o cenário apresentado na terceira coluna da Tabela 4.7 foi também validado experimentalmente. Os resultados experimentais correspondentes são reportados na Tabela 5.5.

Tabela 4.7 - Topologia limitadora com circuito RC em paralelo

TLRC	Resultados		
Grandezas a medir	R = 30 Ω , C = 50 μF Vref = 200 V	R = 20 Ω, C = 10 μF Vref = 200 V	R = 400 Ω , C = 220 μF Vref = 150 V
I_{MOVmax}	0.316 A	0.170 A	7.016 A
I_{Dmax}	11.91 A	11.97 A	23.68 A
V_{M1max}	196.9 V	191.9 V	188.7 V
E_{MOV}	0.022 J	0.005 J	1.69 J
E_{S}	1.90 J	1.17 J	4.06 J
P_{MOVmax}	61.93 W	32.56 W	1318 W
P_{Smax}	2253 W	2072 W	3129 W

Os resultados apresentados na Tabela 4.7 mostram níveis manifestamente reduzidos de energia dissipada tanto no varistor, como no snubber. Comparando a TLRC com a TIRC, observam-se reduções na energia dissipada no varistor na ordem de 85 %. Já a energia dissipada no snubber aumenta aproximadamente 49 %. Este aumento não assume relevância particular, dado que são os varistores os elementos mais suscetíveis de degradação em função da quantidade de energia a dissipar. É também notável a redução na tensão máxima aplicada ao semiconductor principal, que neste caso não excede a tensão limite do varistor.

Confirma-se, assim, a superioridade da TLRC relativamente à TIRC, nomeadamente no que concerne à limitação de stress imposto aos componentes da proteção. Esta topologia assume também vantagens relativamente à TISR, conforme será possível comprovar na secção seguinte. Apesar de integrar componentes adicionais

relativamente à TLSR, esta topologia mitiga o risco de correntes de fugas através do ramo de comutação, para o funcionamento sem falha na rede DC.

Os gráficos apresentados na Figura 4.30 a Figura 4.35, para a configuração TLRC, são baseados nos valores destacados a negrito na Tabela 4.7.

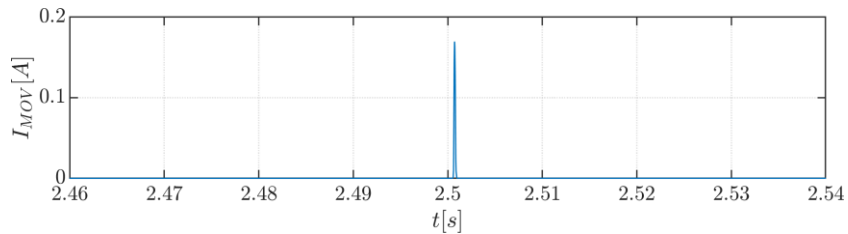


Figura 4.30 - Corrente no varistor.

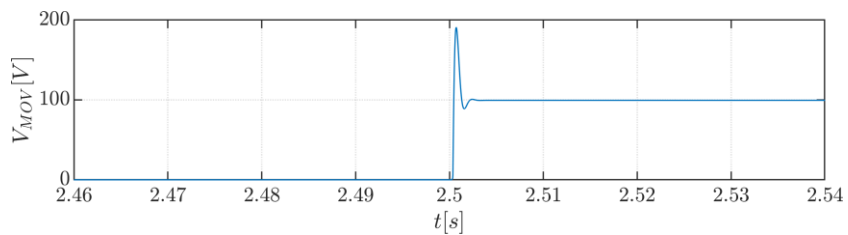


Figura 4.31 - Tensão no varistor.

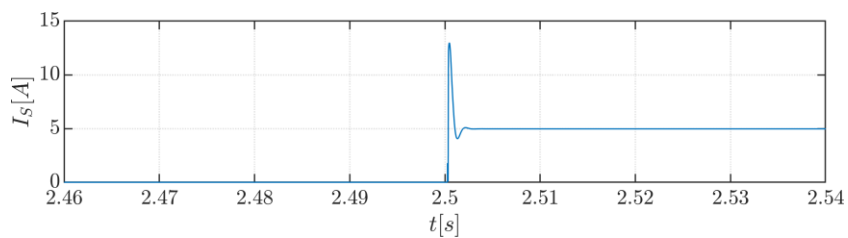


Figura 4.32 - Corrente no snubber.

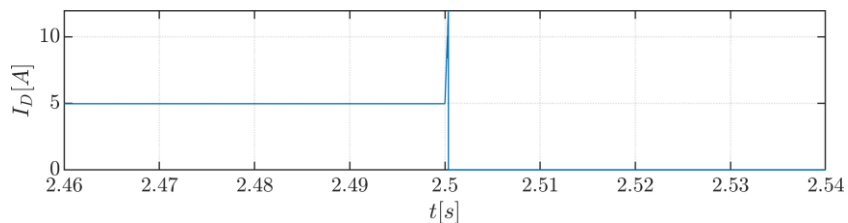


Figura 4.33 - Corrente no ramo principal.

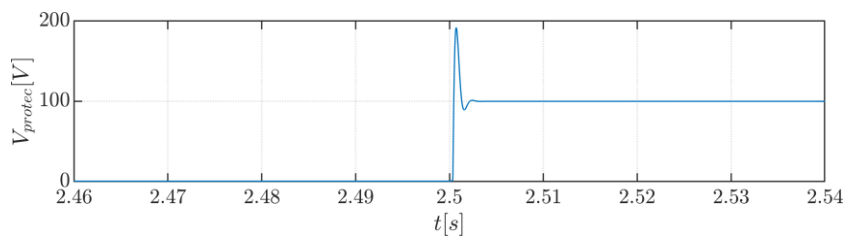


Figura 4.34 - Tensão no ramo principal.

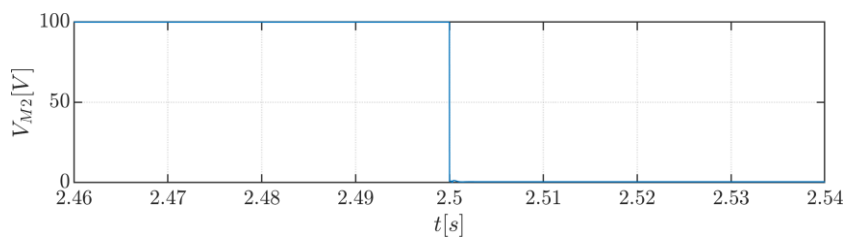


Figura 4.35 - Tensão no semiconductor do snubber.

4.1.6 Topologia limitadora sem resistência (TLSR)

Esta configuração, apresentada na Figura 4.36, é uma das mais simples, integrando apenas um semiconductor principal e um varistor, estando os seus terminais ligados entre os dois polos do sistema DC. Apresenta as seguintes características:

- Circuito muito simples;
- Menos custo de produção;
- Maior dissipação de energia no varistor;
- Menor controlo sobre os picos de tensão;
- Maior stress sobre os componentes.

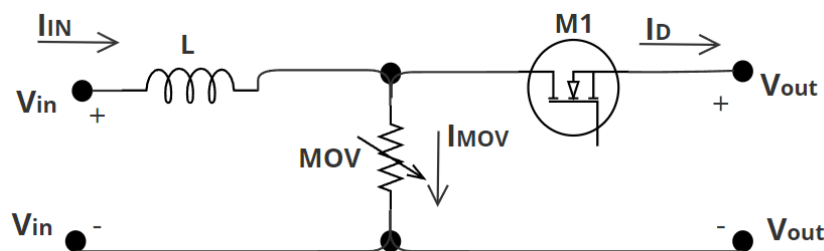


Figura 4.36 - Topologia limitadora sem resistência.

A Tabela 4.8 apresenta os resultados de simulação obtidos para a topologia TLRS, em função da tensão limite do varistor.

Importa também referir que o cenário apresentado na primeira coluna da Tabela 4.8 foi também validado experimentalmente. Os resultados experimentais correspondentes são reportados na Tabela 5.2.

Tabela 4.8 - Topologia limitadora sem resistência

TLRS	Resultados				
	Vref = 150 V	Vref = 150 V	Vref = 200 V	Vref = 450 V	Vref = 600 V
$I_{MOV_{max}}$	4.02 A	12.00 A	11.94 A	11.68 A	11.52 A
$I_{D_{max}}$	4.05 A	12.06 A	12.06 A	12.06 A	12.06 A
$V_{M1_{max}}$	172.1 V	213.6 V	284.0 V	630.8 V	835.0 V
E_{MOV}	0.122 J	0.800 J	0.625 J	0.453 J	0.427 J
$P_{MOV_{max}}$	687 W	2558 W	3387 W	7364 W	9619 W

Comparando esta topologia com a TLRC, é evidente o aumento da energia dissipada no varistor. Apesar disso, e considerando a soma da energia dissipada nos vários componentes da proteção, verifica-se que a TLRS é aquela que apresenta a menor quantidade de energia total dissipada.

Em contrapartida, os resultados mostram que o aumento na tensão limite do varistor leva a um aumento nas tensões e potências máximas medidas no semiconductor

principal e no varistor. Assim, a ativação repetitiva deste tipo de proteção é desaconselhável.

Apesar da sua simplicidade, esta topologia apresenta risco de correntes de fugas através do ramo de comutação, para o funcionamento sem falha na rede DC. A existirem, de forma persistente, tais correntes induzem degradação acelerada do varistor por sobreaquecimento.

Os gráficos apresentados na Figura 4.37 a Figura 4.40, para a configuração TLSR, são baseados nos valores destacados a negrito na Tabela 4.8.

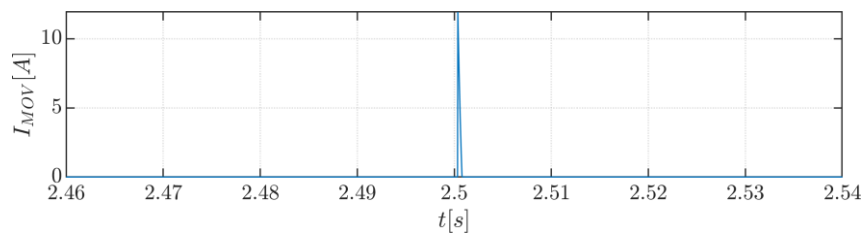


Figura 4.37 - Corrente no varistor.

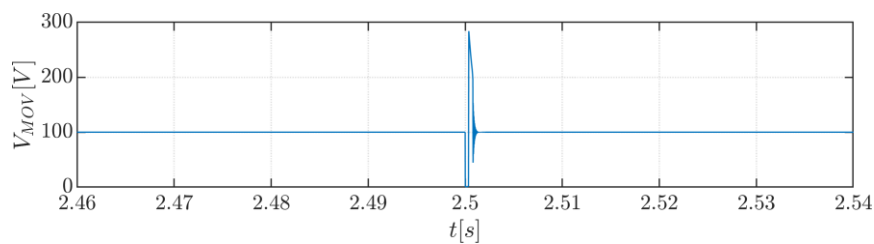


Figura 4.38 - Tensão no varistor.

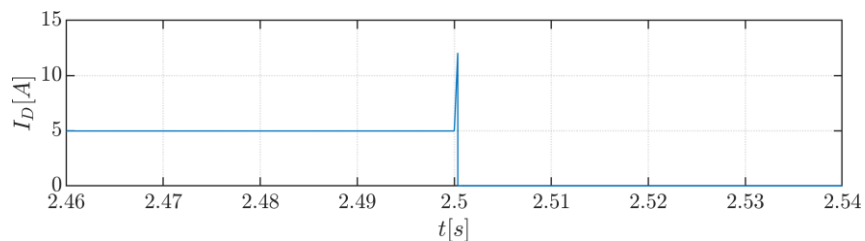


Figura 4.39 - Corrente no ramo principal.

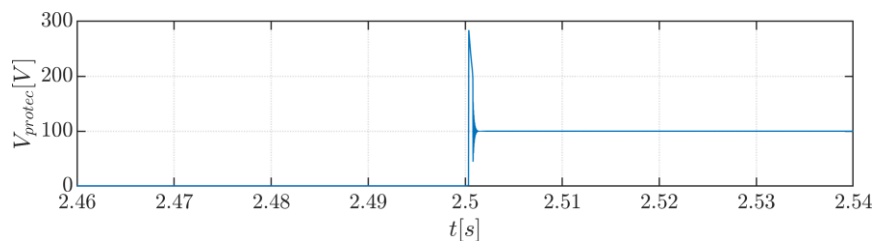


Figura 4.40 - Tensão no ramo principal.

Capítulo 5

5

Validação Experimental

Para proceder à validação experimental, foram seleccionadas três topologias de SSCBs, tendo por base a sua recorrência na literatura científica e o seu potencial para aplicação prática. As configurações testadas foram a TIRC, TLSR e TLRC.

A validação experimental foi efetuada no Laboratório de Sistemas Electromecatrónicos do CISE (CISE | LSE).

À semelhança do procedimento adotado para a validação em simulação, as topologias de SSCB em estudo foram integradas num circuito DC simples, conforme apresentado na Figura 5.1.

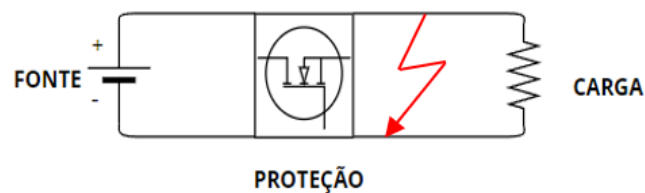


Figura 5.1 - Circuito DC de ensaio das proteções.

Para o ajuste da tensão de alimentação, foi utilizado um autotransformador monofásico, sendo a sua saída rectificada e estabilizada com recurso a um banco de condensadores. No que respeita à protecção em si, foram utilizados como dispositivos semicondutores os IGBTs integrados no módulo de potência Powerex CM50DU-24F. Os sinais de comando aplicados, bem como a medição de grandezas elétricas é assegurada pelo controlador digital dSPACE DS1103.

Para os testes experimentais, foram considerados os parâmetros listados na Tabela 5.1:

Tabela 5.1 – Parâmetros da montagem experimental.

Parâmetro	Nomenclatura	Valor
V_{in}	Tensão de alimentação	20 V, 40 V, 60 V, 80 V, 100 V
V_{ref}	Tensão limite do varistor	56 V, 150 V
R_c	Resistência de carga	33 Ω
R_{cc}	Resistência de curto-circuito	3 Ω
L	Indutância de linha	4 mH
R_s	Resistência do snubber	400 Ω
C_s	Capacitância do snubber	220 μF

A Figura 5.2 mostra a montagem experimental considerada para a validação experimental.

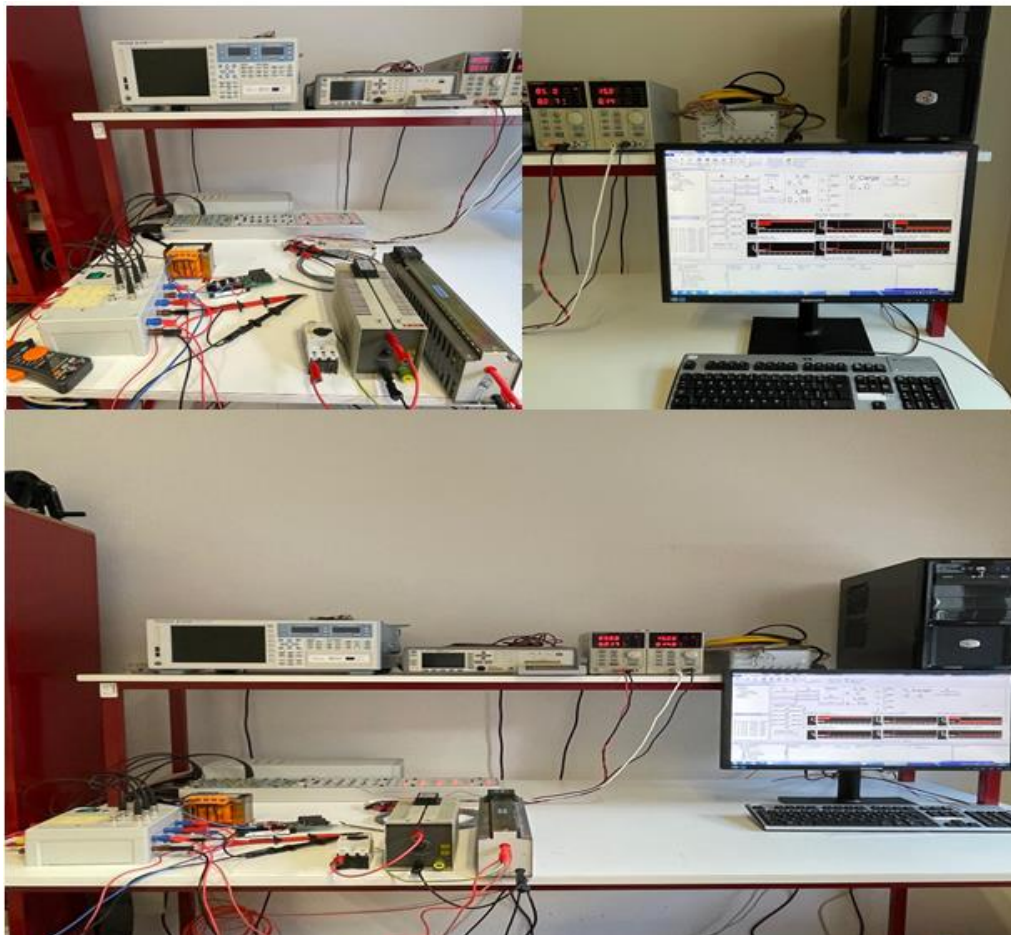


Figura 5.2 – Montagem experimental implementada no CISE | LSE.

As três configurações de SSCBs foram testadas para falhas de curto-circuito polo-a-polo, que, como mencionado anteriormente, é um fenômeno que ocorre quando existe um contacto por falha no isolamento entre o polo positivo e o polo negativo do sistema DC. Este tipo de falha é, geralmente, de baixa impedância. Desta forma, a amplitude da corrente de falha é tipicamente elevada. Estas falhas podem ocorrer quer no barramento DC, quer nas cargas da micro-rede [2].

5.1 Topologia limitadora sem resistência (TLSR)

Para validar experimentalmente esta topologia, foi considerado o esquema apresentado na Figura 4.32, considerando os parâmetros listados na Tabela 5.1. Nos ensaios, cujos resultados são reportados na Tabela 5.2, foi avaliado o desempenho da protecção perante variações na tensão de alimentação. Dois varístores distintos foram

considerados – um deles com tensão limite de 150 V (ver Tabela 5.2) e outro com tensão limite de 56 V (ver Tabela 5.3). Para melhor caracterizar a resposta da proteção, foram igualmente testados cenários em que a corrente máxima permitida no ramo principal ($I_{D_{max}}$) varia. Desta forma, foram testados cenários que contemplam $I_{D_{max}} = 3$ A, $I_{D_{max}} = 4$ A e $I_{D_{max}} = 5$ A.

Tabela 5.2 – Topologia limitadora sem resistência, com varistor de tensão limite a 150 V

TLSR	Resultados						
Grandezas	V_{in} = 20 V	V _{in} = 40 V	V _{in} = 60 V	V _{in} = 80 V	V _{in} = 80 V	V _{in} = 100 V	V _{in} = 100 V
I _{MOVmax}	2.24 A	2.38 A	2.47 A	3.36 A	4.39 A	3.64 A	4.41 A
I _{Dmax}	3.04 A	3.08 A	3.13 A	4.05 A	5.02 A	4.15 A	5.05 A
V _{M1max}	179.20 V	181.20 V	183.10 V	187.00 V	189.10 V	189.60 V	190.10 V
V _{protecmax}	182.50 V	182.10 V	183.60 V	186.50 V	190.90 V	189.00 V	190.90 V
V _{out}	25.92 V	45.86 V	68.66 V	89.53 V	89.99 V	111.40 V	90.78 V
E _{MOV}	0.03 J	0.04 J	0.06 J	0.07 J	0.09 J	0.07 J	0.03 J
P _{MOVmax}	369.90 W	407.10 W	435.90 W	608.30 W	818.60 W	678.70 W	920.60 W

Tabela 5.3 – Topologia limitadora sem resistência, com varistor de tensão limite a 56 V

TLSR	Resultados		
Grandezas	V _{in} = 20 V	V _{in} = 40 V	V _{in} = 60 V
I _{MOVmax}	2.49 A	2.69 A	2.91 A
I _{Dmax}	3.03 A	3.08 A	3.16 A
V _{M1max}	95.40 V	96.04 V	98.04 V
V _{protecmax}	95.76 V	96.43 V	96.98 V
V _{out}	25.57 V	46.41 V	69.10 V
E _{MOV}	0.007 J	0.01 J	0.06 J
P _{MOVmax}	232.30 W	255.80 W	279.50 W

Da análise aos resultados, resulta que as correntes máximas aumentam consistentemente com o aumento da tensão de alimentação, em ambos os varístores. Conforme testemunhado em contexto de simulação, a energia dissipada nos varístores é reduzida, facto que dá bons indicadores relativamente ao desempenho da topologia em causa.

Os gráficos apresentados na Figura 5.3 e Figura 5.4, para a configuração TLRS, são baseados nos valores destacados a negrito na Tabela 5.2. Atendendo especificamente aos dados apresentados na Figura 5.3, constata-se a existência de uma corrente de fugas de valor médio igual a 12 mA, confirmando assim a hipótese de ocorrência deste fenómeno para a topologia em causa.

Destaca-se também a rapidez na resposta, observando-se a recuperação da tensão do sistema em pouco mais de 1 ms.

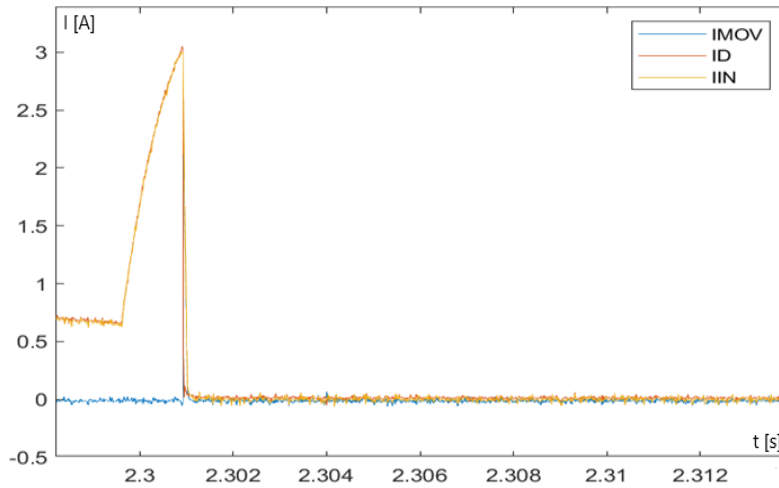


Figura 5.3 - Correntes nos componentes da TLSR – corrente no varistor (azul), ramo principal (laranja) e de entrada (amarelo).

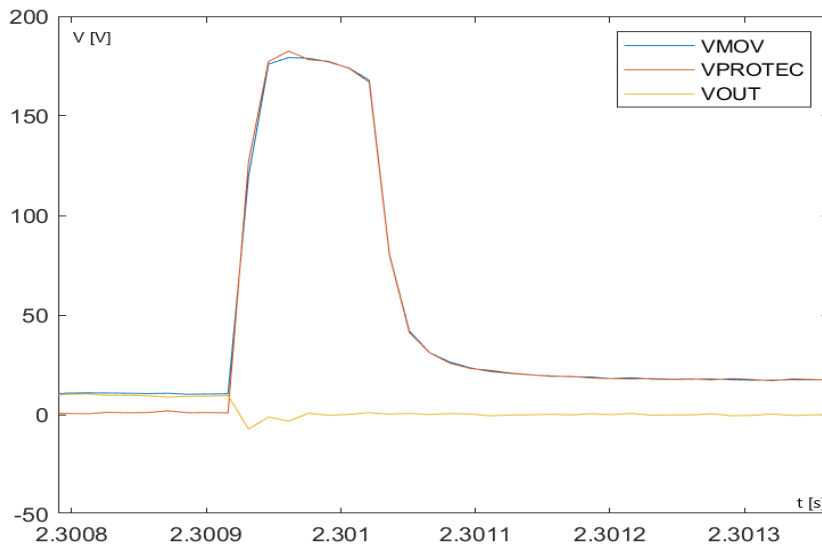


Figura 5.4 - Tensões nos componentes da TLSR – varistor (azul), ramo principal (laranja) e carga (amarelo).

5.2 Topologia limitadora com circuito RC (TLRC)

No caso específico desta topologia, foram testadas duas variantes, apresentadas na Figura 5.5: 1) sem semicondutor no ramo de comutação; 2) com semicondutor no ramo de comutação. Esta abordagem visou analisar até que ponto pode a presença do semicondutor impactar a existência de correntes de fugas em funcionamento normal, isto é, sem qualquer falha presente.

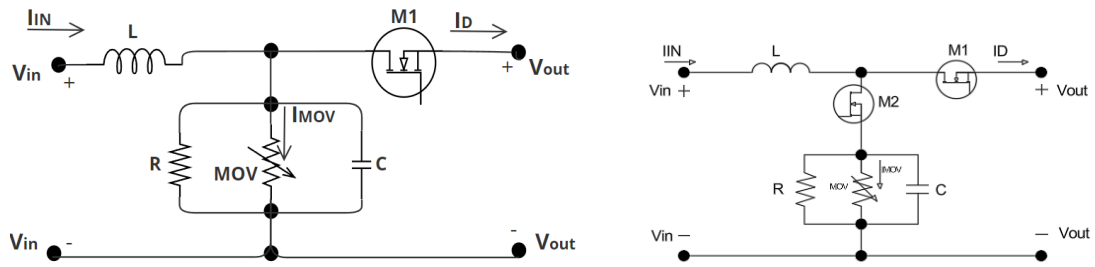


Figura 5.5 – Variações da TLRC: sem semicondutor no ramo de comutação (esquerda) e com semicondutor no ramo de comutação (direita).

Seguindo a lógica adotada para a topologia TLSR, foi avaliado o desempenho da proteção perante variações na tensão de alimentação. Dois varistores distintos foram considerados – um deles com tensão limite de 150 V e outro com tensão limite de 56 V (ver Tabela 5.4). Para melhor caracterizar a resposta da proteção, foram igualmente testados cenários em que a corrente máxima permitida no ramo principal ($I_{D_{max}}$) varia. Desta forma, foram testados cenários que contemplam $I_{D_{max}} = 3$ A, $I_{D_{max}} = 4$ A e $I_{D_{max}} = 5$ A.

As correntes na resistência do snubber (I_R) e no condensador do snubber (I_C), que não foram mensuradas diretamente, foram calculadas da seguinte forma:

$$I_R = \frac{V_{MOV}}{R_S} \quad (5.1)$$

$$I_S = I_C + I_{MOV} + I_R \Leftrightarrow I_C = I_S - I_{MOV} - I_R \quad (5.2)$$

onde: $I_R \rightarrow$ Corrente na resistência;

$V_{MOV} \rightarrow$ Tensão no varistor;

$R_S \rightarrow$ Resistência;

$I_C \rightarrow$ Corrente no condensador;

$I_{MOV} \rightarrow$ Corrente no varistor;

$I_S \rightarrow$ Corrente na *snubber*.

Tabela 5.4 – Topologia limitadora com circuito RC, sem semicondutor

TLRC	Resultados				
	Vref = 56 V Vin = 20 V	Vref = 56 V Vin = 40 V	Vref = 150 V Vin = 20 V	Vref = 150 V Vin = 40 V	Vref = 150 V Vin = 40 V
$I_{MOV_{max}}$	0.03 A	0.02 A	0.03 A	0.03 A	0.03 A
I_S	3.22 A	4.57 A	6.25 A	4.06 A	6.25 A
$I_{D_{max}}$	3.22 A	4.59 A	3.26 A	4.07 A	6.26 A
$V_{M1_{max}}$	31.22 V	53.78 V	32.96 V	57.74 V	70.72 V
$V_{protec_{max}}$	32.41 V	54.09 V	33.38 V	59.56 V	71.74 V
V_{out}	24.69 V	48.68 V	25.59 V	48.40 V	48.42 V
E_{MOV}	0.013 J	0.015 J	0 J	0 J	0 J
E_S	0.402 J	0.78 J	0.307 J	0.29 J	0.23 J
$P_{MOV_{max}}$	0.08 W	1.33 W	0.73 W	1.40 W	1.57 W

Em linha com o verificado ao nível da simulação, torna-se evidente o papel quase nulo do varistor na interrupção da falha, dado que a energia e potência neste elemento são praticamente nulos. Em contrapartida, é notório o comportamento oscilatório introduzido pelo snubber. De facto, o condensador já se encontrava carregado, antes do início da falha. Tal deve-se à inexistência de um mecanismo de interrupção da corrente a fluir através do ramo de comutação, para o período de funcionamento sem falha.

Os gráficos apresentados na Figura 5.6 e Figura 5.7, para a configuração TLRC, são baseados nos valores destacados a negrito na Tabela 5.4.

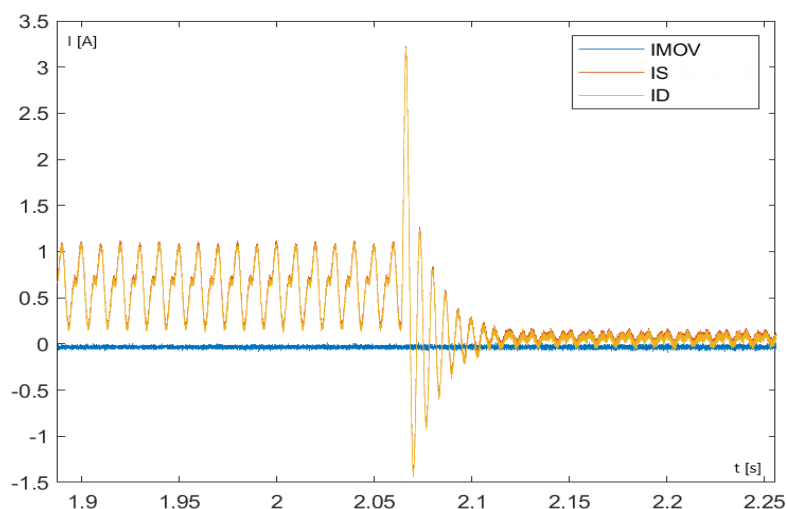


Figura 5.6 - Correntes nos componentes da TLRC – varistor (azul), snubber (laranja) e do ramo principal (amarelo).

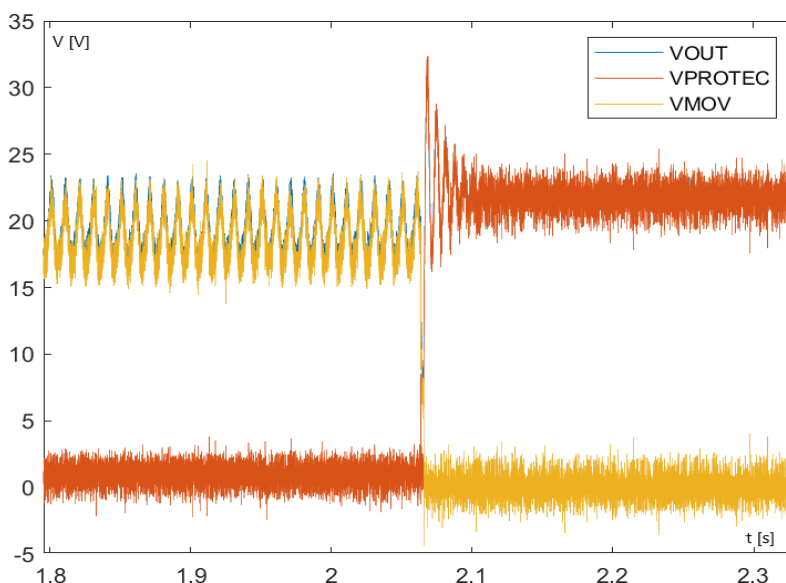


Figura 5.7 - Tensões nos componentes da TLRC – saída (azul), ramo principal (laranja) e varistor (amarelo).

Tendo-se constatado a existência de um nível significativo de corrente de fugas através do ramo de comutação da topologia TLRC sem semiconductor, procedeu-se à introdução de um semiconductor nesse ramo. Com esta medida, mitiga-se a dissipação de energia

durante o período de funcionamento normal e, por outro lado, atenua-se a natureza oscilatória observada no decurso da interrupção da falha. A Tabela 5.5 compila os dados obtidos nessa configuração.

Tabela 5.5 – Topologia limitadora com circuito RC, com semiconductor

TLRC	Resultados			
	Vref = 56 V Vin = 20 V	Vref = 56 V Vin = 40 V	Vref = 150 V Vin = 20 V	Vref = 150 V Vin = 40 V
$I_{MOV_{max}}$	0.04 A	0.05 A	0.038 A	0.07 A
I_s	3.13 A	4.31 A	4.007 A	4.45 A
$I_{D_{max}}$	4.16 A	8.72 A	3.01 A	8.89 A
$V_{M1_{max}}$	31.36 V	60.33 V	31.08 V	60.56 V
$V_{protec_{max}}$	26.88 V	51.31 V	27.09 V	51.37 V
V_{out}	26.35 V	49.02 V	25.87 V	50.08 V
E_{MOV}	0.5888 μ J	4.776 μ J	5.895 μ J	5.886 μ J
$P_{MOV_{max}}$	0.96 W	2.43 W	1.05 W	2.56 W

5.3 Topologia de interrupção com circuito RC (TIRC)

Seguindo a lógica adotada para as anteriores topologias, foi avaliado o desempenho da proteção perante variações na tensão de alimentação. Dois varístores distintos foram considerados – um deles com tensão limite de 150 V (ver Tabela 5.6) e outro com tensão limite de 56 V (ver Tabela 5.7). Para melhor caracterizar a resposta da proteção, foram igualmente testados cenários em que a corrente máxima permitida no ramo principal ($I_{D_{max}}$) varia. Desta forma, foram testados cenários que contemplam $I_{D_{max}} = 3$ A, $I_{D_{max}} = 4$ A e $I_{D_{max}} = 5$ A.

Tabela 5.6 – Topologia de interrupção com circuito RC, com varistor de tensão limite a 150 V

TIRC	Resultados						
	Vin = 20 V	Vin = 40 V	Vin = 60 V	Vin = 80 V	Vin = 80 V	Vin = 100 V	Vin = 100 V
$I_{MOV_{max}}$	2.10 A	2.15 A	2.25 A	2.32 A	2.50 A	2.67 A	2.96 A
$I_{s_{max}}$	0.30 A	0.37 A	0.47 A	0.51 A	0.62 A	0.67 A	0.89 A
$I_{D_{max}}$	2.99 A	3.01 A	3.12 A	3.14 A	3.23 A	3.45 A	3.89 A
$V_{M1_{max}}$	31.08 V	60.56 V	60.66 V	61.33 V	61.46 V	62.56 V	66.37 V
$V_{protec_{max}}$	27.09 V	51.37 V	51.57 V	51.67 V	63.02 V	71.02 V	81.04 V
V_{out}	25.87 V	48.23 V	49.23 V	49.57 V	51.12 V	63.07 V	75.48 V
E_{MOV}	0.033 J	0.035 J	0.055 J	0.058 J	0.063 J	0.071 J	0.15 J
$P_{MOV_{max}}$	216.78 W	220.32 W	221.32 W	243.67 W	262.10 W	271.16 W	281.18 W

Tabela 5.7 – Topologia de interrupção com circuito RC, com varistor de tensão limite a 56 V

TLSR	Resultados		
Grandezas	V_{in} = 20 V	V _{in} = 40 V	V _{in} = 60 V
I _{MOVmax}	2.25 A	2.32 A	2.50 A
I _{Smax}	0.47 A	0.51 A	0.62 A
I _{Dmax}	3.12 A	3.14 A	3.23 A
V _{M1max}	60.66 V	61.33 V	61.46 V
V _{protecmax}	51.57 V	51.67 V	63.02 V
V _{out}	49.23 V	49.57 V	51.12 V
E _{MOV}	0.055 J	0.058 J	0.063 J
P _{MOVmax}	221.32 W	243.67 W	262.10 W

Os gráficos apresentados na Figura 5.6 e Figura 5.7, para a configuração TIRC, são baseados nos valores destacados a negrito na Tabela 5.7.

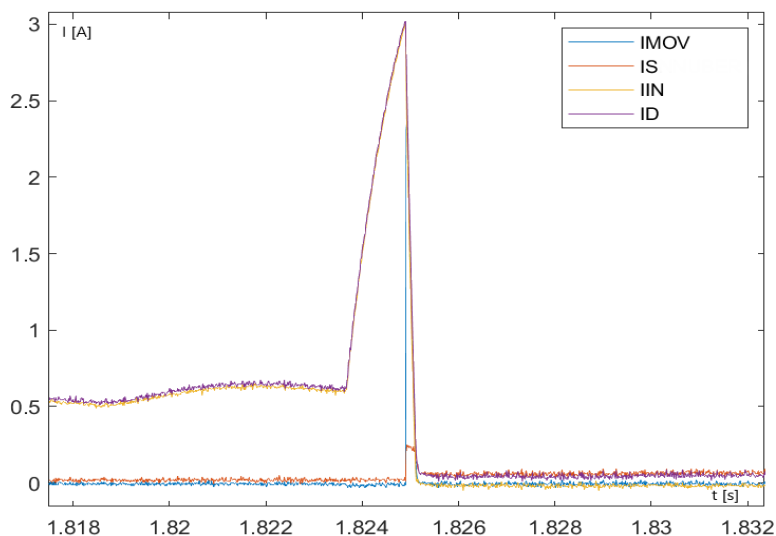


Figura 5.8 - Correntes nos componentes da TIRC – varistor (azul), snubber (laranja), de entrada (amarelo) e do ramo principal (roxo).

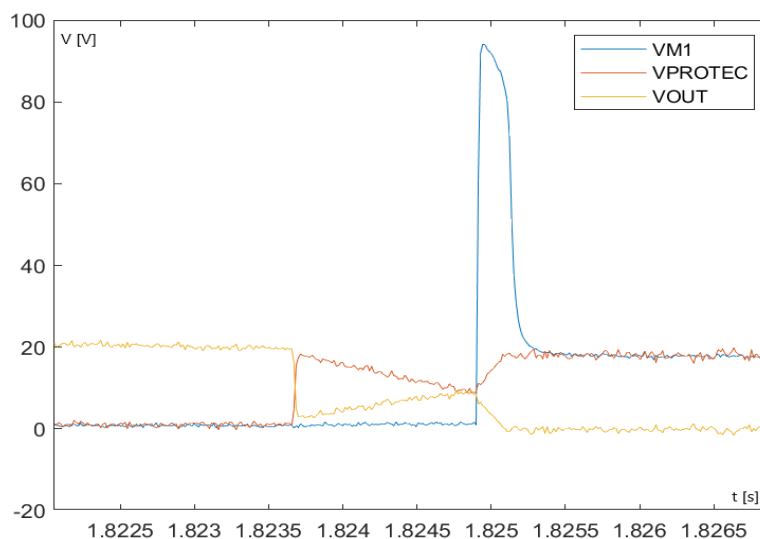


Figura 5.9 - Tensões nos componentes da TLRC – saída (azul), ramo principal (laranja) e varistor (amarelo).

6 Capítulo 6

Conclusão e Sugestão de Trabalhos Futuros

6.1 Conclusão

Apesar de se tratar de uma área de trabalho relativamente recente, é já possível encontrar, na literatura científica, um número considerável de soluções para a proteção de micro-redes DC. Assim sendo, tomar uma decisão esclarecida relativamente à seleção dos melhores dispositivos de proteção para micro-redes DC de baixa tensão é cada vez mais difícil.

Nesta dissertação, foram apresentadas e avaliadas algumas das topologias de proteção DC de estado sólido com maior interesse do ponto de vista prático. A opção por proteções desta família prende-se pelo facto de estas fornecerem operações de comutação mais rápidas e precisas, para lidar com transitórios ou defeitos em sistemas de energia DC.

Da análise efetuada, resulta que a utilização de configurações com elementos auxiliares de absorção de energia (nomeadamente resistência e condensador) permite reduzir significativamente os picos de tensão aplicados aos semicondutores principais da proteção e, ao mesmo tempo, minimizar a dissipação de energia nos varístores. Este aspeto assume importância particular, no sentido em que a degradação deste componente não linear encontra-se, em grande parte, dependente do perfil de solicitação deste componente.

Da realização deste estudo, resulta também a constatação de que as topologias limitadoras, em geral, reduzem efetivamente a energia dissipada durante o processo de interrupção, sendo, portanto, vantajosas em sistemas de energia de baixa tensão DC, uma comparação entre as topologias limitadoras e de interrupção é feita no anexo 1.

Importa referir que os resultados obtidos, nomeadamente aqueles que dizem respeito a energias dissipadas e valores de pico de tensão e corrente, dependem em parte da sequência de comutação e da temporização dos períodos de condução dos semicondutores.

6.2 Sugestões para trabalhos futuros

A proteção de micro-redes DC é um tema de extrema importância e que importa discutir de forma mais aprofundada pela comunidade científica.

Num futuro próximo, poderão ser desenvolvidos trabalhos como:

- Desenvolvimento de configurações que integrem mecanismos de tolerância a falhas de componentes internos da proteção;
- Optimizar a seleção de componentes e o controlo das configurações apresentadas neste trabalho.

7 Referências

- [1] R. Rodrigues, Y. Du, A. Antoniazzi, e P. Cairoli, «A Review of Solid-State Circuit Breakers», *IEEE Trans. Power Electron.*, vol. 36, no. 1, pp. 364-377, Jan. 2021, doi: 10.1109/TPEL.2020.3003358.
- [2] J. Park, H. Byun, S. Kim, S. Kim, e C. Won, «DC Solid-State Circuit Breakers with Two-Winding Coupled Inductor for DC Microgrid», *Energies*, vol. 14, n.º 14, Art. n.º 14, Jan. 2021, doi: 10.3390/en1414129.
- [3] F. P. F. G. Duarte, «Operação de Micro-redes híbridas AC/DC», Sep. 2022, Acedido: Jun. 1, 2024. [Online]. Disponível em: <https://repositorio-aberto.up.pt/handle/10216/145700>.
- [4] B. M. Assaife, «Aterramento e proteção de sistemas fotovoltaicos», Abr. 2013, Acedido: 5 de agosto de 2023. [Online]. Disponível em: <http://pantheon.ufrj.br/handle/11422/9565>
- [5] A. R. F. Bento, «Análise e Desenvolvimento de Dispositivos de Proteção Aplicados a Micro-Redes de Corrente Contínua», Out. 2021. Acedido: 17 de março de 2023. [Online]. Disponível em: <https://ubibliorum.ubi.pt/handle/10400.6/11812>
- [6] R. G. Vieira, F. M. de Araújo, M. Dhimish, e M. I. Guerra, «A comprehensive review on bypass diode application on photovoltaic modules», *Energies*, vol. 13, n.º 10, p. 2472, 2020.
- [7] Antonio J. Marques Cardoso, “Introduction,” in *Diagnosis and Fault Tolerance of Electrical Machines, Power Electronics and Drives*, A. J. M. Cardoso (Editor), The Institution of Engineering and Technology, London, UK, (ISBN: 978-1-78561-531-3), pp. 1–6, 2018
- [8] M. Yasuda, Y. Guan, T. Kawahara, Y. Yokomizu, e T. Matsumura, «Estimation of overcurrent performance in YBCO superconducting thin films for fault-current limiter», *IEEE Trans. Appl. Supercond.*, vol. 21, n.º 3, pp. 1319–1322, 2010.
- [9] R. P. Barcelos, «Solid-state circuit breaker electrical and thermal modeling», 2020.
- [10] L. H. Jensen, «TCC sistema fotovoltaico de fornecimento off-grid: metodologia para dimensionamento de sistema residencial isolado», dez. 2021, Acedido: 13 de junho) de 2023. [Online]. Disponível em: <https://repositorio.animaeducacao.com.br/handle/ANIMA/19115>
- [11] Antonio J. Marques Cardoso, *Diagnóstico de Avarias Em Motores de Indução Trifásicos*. Coimbra Editora, Coimbra, 1991.

- [12] J. Wang, S. Pang, X. Wu, Y. Zhong, Q. Kang, e C. Tao, «Hybrid DC Circuit Breaker with Integrated Self-charging and Current Limiting», *J. Phys. Conf. Ser.*, vol. 2213, n.º 1, p. 012022, mar. 2022, doi: 10.1088/1742-6596/2213/1/012022.
- [13] K. M. António, «Desenvolvimento e Implementação de Sistemas de Proteção Aplicados a Micro-Redes de Corrente Contínua», 2021. Acedido: 17 de março de 2023. [Online]. Disponível em: <https://ubibliorum.ubi.pt/handle/10400.6/11995>
- [14] J. A. O. Carneiro e M. Passos, «A energia solar fotovoltaica representa uma das fileiras das energias renováveis mais relevantes para Portugal», out. 2020, Acedido: 15 de março de 2023. [Online]. Disponível em: <http://repositorium.sdum.uminho.pt/>
- [15] D. M. Lagrimante, M. dos S. Amarante, V. S. Cruz, e L. P. Landim, «Estudo da aplicação de energia fotovoltaica», *Rev. Pesqui. E Ação*, vol. 4, n.º 1, Art. n.º 1, jun. 2018.
- [16] T. A. dos Santos Lopes, «Caracterizador de Módulos Fotovoltaicos Adaptativo a Condições de Sombreamento», 2021, Acedido: Jun. 1, 2024. [Online]. Disponível em: <https://ufsj.edu.br/portal2-repositorio/File/ppgel/269-2021-04-23-DissertacaoThamirisLopes.pdf>.
- [17] S. J. K. Berg, «Solid State Circuit Breakers In Medium Voltage Direct Current Systems», PhD Thesis, Master of Energy and Environmental Engineering, Norwegian University, 2018.
- [18] D. de Faria e C. Carvalho, «Simulação De Curto-Circuito Com Geração Distribuída E Dimensionamento E Ajuste De Proteção Utilizando O OPENDSS», Dez. 2022. Acedido: 15 de março de 2023. [Online]. Disponível em: <https://www.maxwell.vrac.puc-rio.br/61579/61579.PDF>.
- [19] J. Ma, X. Pan, K. L. Man, X. Li, H. Wen, e T. O. Ting, «Detection and assessment of partial shading scenarios on photovoltaic strings», *IEEE Trans. Ind. Appl.*, vol. 54, n.º 6, pp. 6279–6289, 2018.
- [20] C. H. da Costa, «Classificação de falhas em plantas fotovoltaicas usando aprendizado de máquina», Master's Thesis, Universidade Tecnológica Federal do Paraná, 2020.
- [21] V. C. Nikolaidis, G. Michaloudis, A. M. Tsimtsios, D. Tzelepis, e C. D. Booth, «A Coordinated Multi-Element Current Differential Protection Scheme for Active Distribution Systems», *IEEE Trans. Power Deliv.*, vol. 37, n.º 5, pp. 4261–4271, out. 2022, doi: 10.1109/TPWRD.2022.3148209.
- [22] M. M. Walter, «Switching arcs in passive resonance HVDC circuit breakers», PhD Thesis, ETH Zurich, 2013.

- [23] K. Sano e M. Takasaki, «A surgeless solid-state DC circuit breaker for voltage-source-converter-based HVDC systems», *IEEE Trans. Ind. Appl.*, vol. 50, n.º 4, pp. 2690–2699, 2013.
- [24] «Métodos de extinção de arco em disjuntor», 23 de maio de 2014. Acedido: 15 de março de 2023. [Online]. Disponível em: <https://studyelectrical.com/2014/05/principles-and-methods-of-arc.html>
- [25] C. Meyer, S. Schroder, e R. W. De Doncker, «Solid-state circuit breakers and current limiters for medium-voltage systems having distributed power systems», *IEEE Trans. Power Electron.*, vol. 19, n.º 5, pp. 1333–1340, 2004.
- [26] T. Dragičević, X. Lu, J. C. Vasquez, e J. M. Guerrero, «DC microgrids—Part II: A review of power architectures, applications, and standardization issues», *IEEE Trans. Power Electron.*, vol. 31, n.º 5, pp. 3528–3549, 2015.
- [27] D. Lawes, L. Ran, e Z. Xu, «Design of a solid-state DC circuit breaker for light rail transit power supply network», em *2014 IEEE Energy Conversion Congress and Exposition (ECCE)*, IEEE, 2014, pp. 350–357.
- [28] Z. Dong, R. Ren, W. Zhang, F. F. Wang, e L. M. Tolbert, «Instability issue of paralleled dies in an SiC power module in solid-state circuit breaker applications», *IEEE Trans. Power Electron.*, vol. 36, n.º 10, pp. 11763–11773, 2021.
- [29] D. Keshavarzi, T. Ghanbari, e E. Farjah, «A Z-Source-Based Bidirectional DC Circuit Breaker With Fault Current Limitation and Interruption Capabilities», *IEEE Trans. Power Electron.*, vol. 32, n.º 9, pp. 6813–6822, set. 2017, doi: 10.1109/TPEL.2016.2624147.
- [30] M. Callavik, A. Blomberg, J. Häfner, e B. Jacobson, «The Hybrid HVDC Breaker An innovation breakthrough enabling reliable HVDC grids», 2012. Acedido: 25 de março de 2023. [Online]. Disponível em: <https://www.semanticscholar.org/paper/The-Hybrid-HVDC-Breaker-An-innovation-breakthrough-Callavik-Blomberg/a69ead45b34fe95b26f69614d7ecd50ba8ba1783>